CARACTERÍSTICAS DEL PROCESO TECNOLÓGICO PARA LA FABRICACIÓN DE UNA MEMORIA EPROM

C. Dr. Magali Estrada del Cueto
C. Dr. José Folgueras Méndez

ABSTRACT

In this paper the main processes of a technology for the fabrication of an EPROM memory employing N-channel MOS double-polysiticon gates are presented.

The most important requirements are pointed out and some aspects related to metal-semiconductor contacts, MOS capacitors and the implanted transistors employed are discussed.

RESUMEN

En el trabajo se resumen los principales procesos de una tecnología para la fabricación de una memoria EPROM con celdas formadas por transistores MOS canal N con doble compuerta de polisilicio.

Se señalan los requisitos que debe cumplir la tecnología y se discuten algunos aspectos de interés relacionados con los contactos metal-semiconductor, los condensadores MOS y los transistores implantados que se utilizan en la memoria.

INTRODUCCIÓN

Las memorias de lectura solamente, eléctricamente programables y reprogramables (EPROM) son ampliamente utilizadas en la actualidad, siendo una de sus aplicaciones más generalizadas las memorias microprogramables para los equipos en base a microprocesadores. Su estructura está formada fundamentalmente por transistores MOS canal N y celdas de memoria del tipo de un transistor por celda con dos compuertas de polisilicio. La utilización de transistores canal N ha permitido disminuir los tiempos de acceso y hacerlos compatibles con los tiempos de trabajo de los microprocesadores MOS, en unión

de los cuales se utilizan. Las celdas con dos compuertas de polisilicio constan de un solo transistor de pequeñas dimensiones, con lo que se aumenta la densidad de componentes de la matriz de memoria y por lo tanto se posibilita realizar memorias de mayor capacidad por chip.

La secuencia tecnológica típica para la realización de transistores canal N con compuerta de silicio es bastante conocida y utilizada desde hace años [1] . Sin embargo, la celda EPROM, Fig. 1, presenta algunas peculiaridades en la tecnología de fabricación con respecto a la tecnología típica, que están relacionadas con la presencia de los dos niveles de polisilicio con un óxido entre ellos que debe ser de alta calidad y con las dimensiones del canal requerido para lograr que los electrones se aceleren por el campo eléctrico hasta energías superiores a la necesaria para vencer la barrera de $Si-SiO_2$ y poder provocar inyección de estos en el óxido [2]. En otros trabajos [3] , [4] se ha señalado que en algunos de los circuitos internos de la memoria, como son el selector de chip y el amplificador de sensado se utilizan transistores con dos valores diferentes de voltaje de umbral V_{To}, lo que implica que al menos uno de ellos debe obtenerse mediante implantación. Además en el circuito se emplean resistencias de carga y capacitores MOS por inversión y sin inversión, todos los cuales deben ser construidos empleando la misma secuencia tecnológica.

En el presente trabajo se describe una secuencia tecnológica que toma en consideración los factores mencionados, permitiendo la realización de una memoria EPROM y se analizan los procesos que permiten la realización de los diferentes elementos en el chip.

Elementos básicos y secuencia tecnológica. La secuencia tecnológica debe permitir la obtención en el chip de los siguientes elementos básicos:

1.- transistores canal N con voltaje de umbral (V_{To}) positivo y cercano a cero de manera que el voltaje de umbral con polarización de -5V al substrato sea del orden de 1 V. (V_T')

2.- Transistores canal N cuyo V_{To} sea del orden de 3V.

3.- Celdas con dos niveles de polisilicio (Fig. 1) con V_{To} de 6V.

4.- Resistencias que pueden tomar valores de decenas de kilo-Ohms.

5.- Condensadores MOS por inversión y sin inversión para los inversores con boot strap.

Con vistas a cumplimentar el punto 1 se parte de una lámina tipo P de 2 a 2,5 10^{15} Ohms-cm^{-3} y de orientación (100), con lo cual se obtiene un V_{To} del orden de 0,1V y un V_T' de alrededor de 1,3V.

La secuencia tecnológica para realizar los elementos señalados consta de 8 máscaras y de los siguientes procesos:

1) Crecimiento de óxido inicial
2) Fotograbado de cajón de implantación 1 (máscara M1)
3) Implantación P de Boro en las áreas donde posteriormente se encontraran las celdas, los transistores implantados y las resistencias.
4) Fotograbado para abrir hasta el silicio en las zonas donde al final quedará óxido fino (máscara M2)
5) Deposición de óxido de silicio SiO_2
6) Fotograbado para abrir las zonas donde posteriormente se encontrarán las resistencias y los drenajes y fuentes de las celdas de memoria (máscara M3)
7) Implantación 2 de arsénico para formar los drenajes y fuentes de las celdas y las resistencias de carga.
8) Quitar el SiO_2 depositado en el paso 5
9) Crecer el óxido fino primero, (OF1).
10) Deposición de polisilicio 1 (poli 1) dopado con arsénico y óxido para el fotograbado.
11) Fotograbado de poli 1 para formar la compuerta flotante de las celdas, el primer nivel de interconexión y el polisilicio que cubre las áreas de resistencia. Se abre hasta el silicio en las zonas definidas por el fotograbado M2.
12) Crecimiento del segundo óxido fino OF2.
13) Deposición de polisilicio 2 (poli 2) y del óxido del fotograbado.

14) Fotograbado de polisilicio 2 para definir las compuertas de los transistores implantados y no implantados, segundo nivel de interconexión y segunda compuerta de las celdas (máscara M5).

15) Difusión N^+ para formar drenaje y fuente de los transistores y difundir las compuertas de poli 2.

16) Fotograbado de contacto (máscara M6).

17) Deposición de aluminio para contactos, tercer nivel de interconexión.

18) Fotograbado de aluminio para definir interconexiones (máscara M7).

19) Pasivación final y tratamiento térmico a baja temperatura.

20) Fotograbado de pasivación para descubrir las zonas donde irán las soldaduras de los alambres a los contactos del chip.

Pasaremos a analizar brevemente el objetivo y características de los pasos más interesantes.

Características del proceso tecnológico. El proceso de implantación 1 tiene varios objetivos. Primero, al aumentar la concentración de impurezas de boro en el substrato impide que se formen los transistores parásitos bajo el óxido grueso, al aumentar el V_{To} de éstos hasta un valor superior al valor máximo de polarización que se utiliza en la pastilla y que es de 30V durante la programación. Además esta implantación sirve para formar los cajones donde después irán los transisto-

res implantados con un V_{To} de alrededor de 3V. Esto se logra mediante una implantación de 3 10^{13} iones de boro a 25 keV. (Fig. 2).

Por último, en las zonas donde irán las resistencias se implanta boro para aumentar la concentración de impurezas del substrato y buscar que la implantación de arsénico posterior que forma las resistencias, tenga aún mayor resistividad. El proceso se ajusta a unos 35 Ohms/□.

El proceso de implantación 2 sirve como acabamos de decir, para formar las resistencias, pero además se usa para la formación del drenaje y fuente de las celdas de memoria. Como este proceso lleva bastantes tratamientos térmicos a alta temperatura (TTAT) posteriores a su realización, debido a la necesidad por lo menos de oxidar los 125nm para formar el OF2, esta implantación se hace con arsénico.

Un aspecto interesante es que la celda de memoria no es autoalineada, ya que su drenaje y fuente se definen por la máscara M3, que es un fotograbado sobre óxido, anterior a la deposición de poli 1. De esta forma se obtiene la dimensión del canal del orden de 4 micrómetro, casi el límite de la resolución del fotograbado convencional. Esto sería bastante más difícil de lograr con un fotograbado sobre polisilicio. En la Fig. 3 puede verse una superposición de las máscaras M2, M3 y M4 para la matriz de la memoria. Los motivos de esta máscara M3 tienen una geometría muy sencilla (líneas paralelas), lo que favorece también la repetibilidad y productividad del

proceso que resulta el más crítico de todos.

La deposición de polisilicio se realiza a partir de fase va por en presencia de silano (SiH_4). El primer polisilicio se deposita con un espesor del orden del micrómetro, algo más grueso que lo típico, ya que el mismo debe pasar un proceso largo de oxidación térmica durante la formación del OF2. Además se deposita en presencia de arsenamina (AsH3) para doparlo con arsénico durante el proceso de deposición. El segundo polisilicio tiene el espesor típico del orden de los 500nm y se deposita intrínseco, dopándolo posteriormente durante el paso 15.

Los dos óxidos finos se crecen hasta un espesor del orden de 125 nm.

La difusión N^+ final se utiliza para la formación de los drenajes y fuentes de los transistores, así como para los contactos con aluminio. Esto se debe a que como es conocido la formación del contacto óhmico con aluminio requiere de una zona de alta concentración de fósforo (N^+) y de un tratamiento térmico a baja temperatura (TTBT). Por este motivo en los lugares donde se van a realizar los contactos con el aluminio se evita que haya implantación de boro, ya que la difusión de fósforo sobre la zona de implantación P produce una zona de menor conductividad que sobre el substrato, por lo que se obtendría un contacto Al-Si de peores características. En la Fig. 4 puede observarse la marca de las zonas de no implantación en los lugares donde se abren los huecos de contacto para el drenaje de las celdas, antes del depósito de aluminio, también puede verse la compuerta 1 y la compuerta 2.

Los condesadores por inversión de los inversores con boot strap son necesarios para disminuir los transitorios y subir los niveles de voltaje y se realizan con el OF2, poli 2 y difusión N^+, quedando un electrodo en la zona de difusión N^+ y otro en el poli 2.

Los condensadores sin inversión se realizan utilizando como electrodos el poli 1 y el poli 2, o el poli 1 y la zona de implantación N y como dieléctrico el OF2. El inversor con estos tipos de condensadores se realiza según el esquema de la Fig. 5a, donde C1 y C2 son los condensadores en cuestión. En la Fig. 5b se muestra un corte transversal de las zonas del capacitor y del transistor. En la Fig. 6 se muestra la topología del circuito de la Fig. 5a. Estos condensadores sin inversión se usan cuando el voltaje entre la compuerta y la fuente del transistor es menor que V_T' y no se produce la inversión ni la capacidad deseadas. La topología viene dada por la secuencia tecnológica utilizada.

Por último, los dos niveles de polisilicio también se utilizan como dos niveles de interconexión tal y como se muestra en la Fig. 3.

CONCLUSIONES

En el trabajo se ha presentado una secuencia tecnológica para la fabricación de memorias EPROM. Se ha explicado los objeti-

vos de diferentes procesos utilizados y algunas de sus características, así como la forma de realizar los diferentes elementos que componen el chip.

BIBLIOGRAFÍA

1 J. J. Barnes y otros, Solid State Electronics, Vol. 21, 521-529 (1978).

2 A. Scheibe, H. Schulte, IEEE Tran. on ED-24, No. 5, 600 (1977).

3 J. Folgueras, M. Estrada, Segunda Conferencia Científica ISPJAE, Resúmenes pag. 78, Ref. 149 (1979).

4 M. Estrada, J. Folgueras, Segunda Conferencia Científica ISPJAE, Resúmenes pag. 79 Ref. 150 (1979).

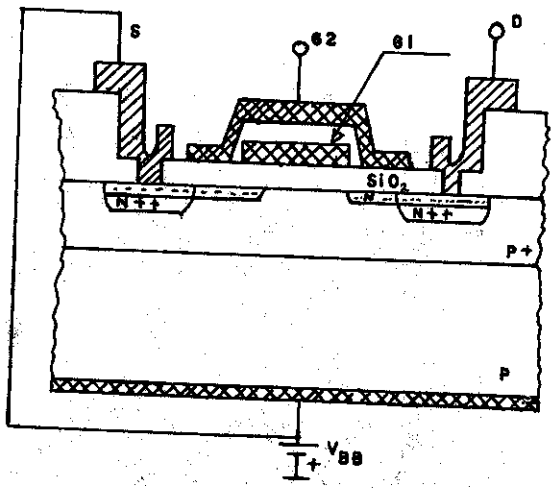

Figura 1

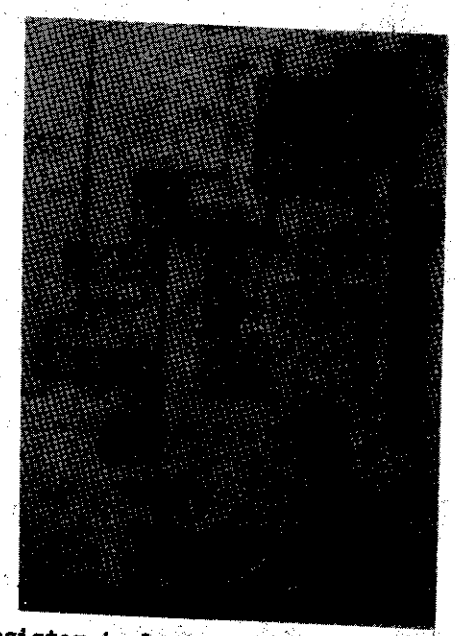

Fig. 2 (1) transistor implantado; (2) cajón de implantación para evitar transistores parásitos. La línea punteada marca el borde exterior de la zona implantada.

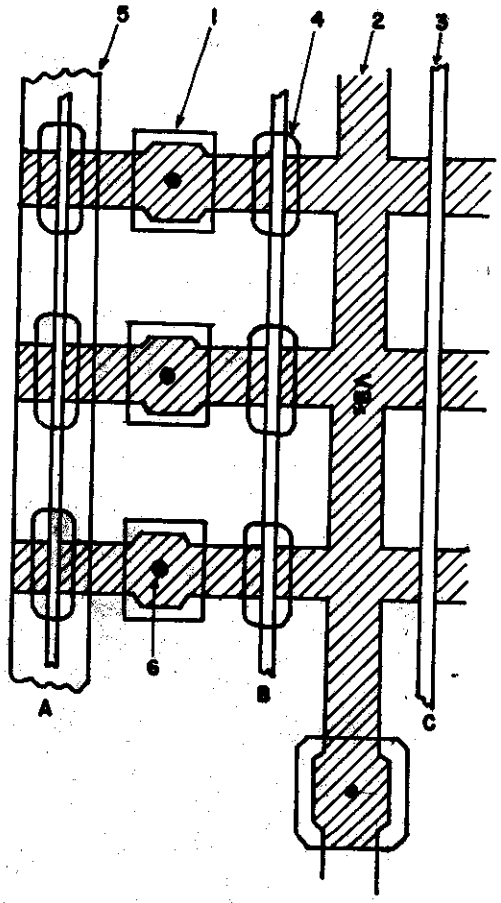

Fig. 3 1) cajón de implantación-máscara M1 (2) cajón de óxido fino-máscara M2 (3) zona de no implantación N-máscara M3 (4) primer polisilicio-máscara M4 (5) segundo polisilisio-máscara M5 (6) hueco de contacto-máscara M6 (A) celdas con superposición de las máscaras M1,M2,M3,M4, y M5 (B) celdas con superposición de las máscaras M1,M2,M3, y M4 (C) celdas con superposición de las máscaras M2 y M3.

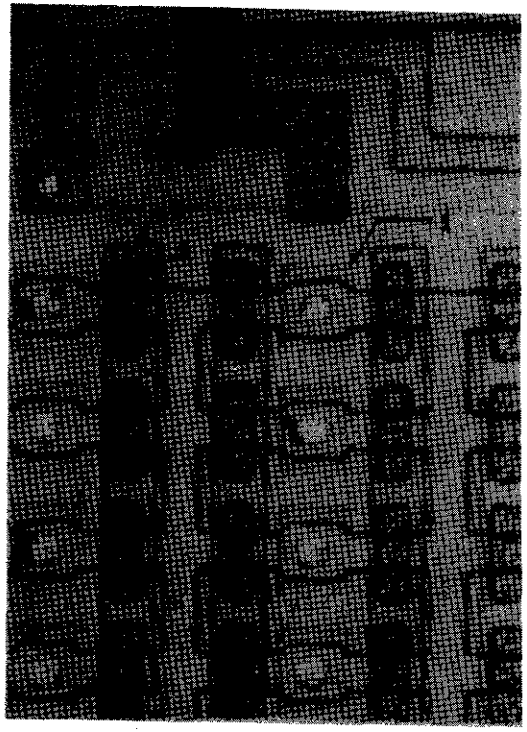

Fig. 4 (1) marca de las zonas de no implantación en los lugares donde se abren los huecos de contacto.
(2) dos niveles de interconexión con polisilisio
(3) compuerta 2 ; (4) compuerta 1

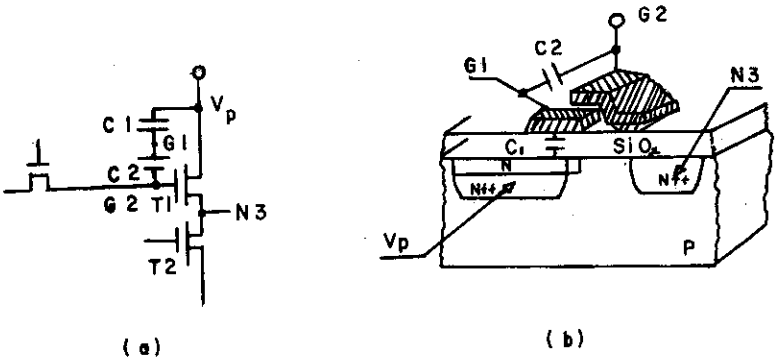

Figura 5

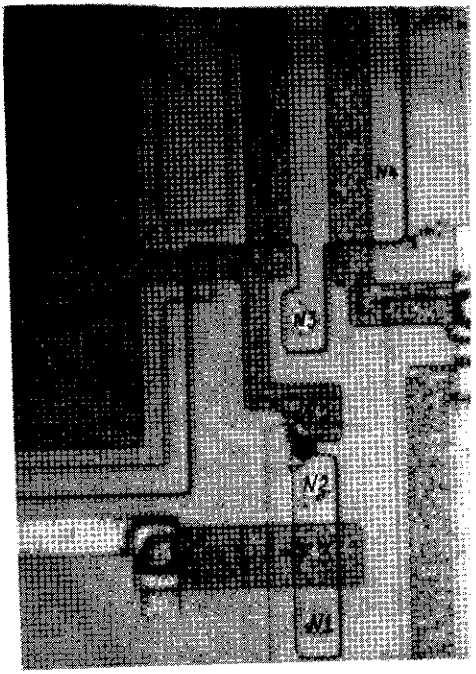

Figura 6