Revista Cubana de Física Vol. 1 No. 2, 1981

SOBRE LA SENSIBILIDAD DINAMICA DE UN AMPLIFICADOR DE LECTURA DE MEMORIA RAM

Ing. René López
C.Dr. Antonio Cerdeira

ABSTRACT

In dynamic random access memories, read amplifiers employed with one-transistor memory cells must detect small charge variations in the bit lines; therefore, it requires of a minimal sensitivity for its adecuated operation.

In this paper the factors which influence upon the dynamic sensitivity of a type of amplifier employed in these memories are analized and the corresponding results are compared with those obtained from an analysis of the states sensitivity.

A criterion to predict the reach of the amplifier's minimal sensitivity is proposed based on the comparison of dynamic and static characteristics.

RESUMEN

En las memorias de acceso aleatorio dinámicas, los amplificadores de lectura de las celdas de memoria de un transistor deben poder detectar pequeñas variaciones de carga en las líneas de bit, por lo cual se requiere de una sensibilidad mínima para su adecuado funcionamiento. En el presente trabajo se analizan los factores que influyen en la sensibilidad dinámica de un tipo de amplificador de los utilizados en estas memorias y se comparan los resultados con los obtenidos del estudio de la sensibilidad estática. Se propone un criterio para

predecir cuál debe ser la sensibilidad mínima que debe tener el amplificador, en base a la comparación de las características dinámicas y estáticas.

INTRODUCCIÓN

En la década pasada el desarrollo vertiginoso de las memorias de acceso aleatorio se debe a la reducción de la celda de almacenamiento de la información. En las de mayor nivel de integración se utiliza la llamada celda de 1 transistor, donde la información se almacena en un capacitor MOS, dándose acceso a dicho capacitor a través de 1 solo transistor. Las dimensiones de dicha celda están determinadas por la capacidad del amplificador de detectar la información almacenada, ya que la magnitud de la señal que debe ser detectada es proporcional a las dimensiones de la celda (1-2).

La capacitancia de la celda de almacenamiento es del orden de 0,1 pF., lo cual implica que el amplificador debe ser capaz de detectar una diferencia de potencial de 200-300 mV. Este amplificador es básicamente un circuito biestable (BE) al cual se le aplica inicialmente el mismo potencial a ambos nodos del mismo y posteriormente se conecta la celda a uno de los nodos del BE, produciéndose una inyección o eyección de carga de ese nodo, lo que define una diferencia de potencial entre los nodos y por tanto el estado final. En una situación de simetría ideal, en las ramas del biestable la detección de una cantidad infinitesimal de carga en uno de los nodos, pro-

ducirá un desbalance entre los nodos y el BE pasará a uno de sus dos estados estables.

Pero como la simetría total es prácticamente imposible, ya que no existen dos dispositivos idénticos en la realidad, la magnitud de carga necesaria para desbalancear el BE a un estado prefijado es función del desbalance existente entre las dos ramas del mismo y debido a las diferencias entre los dispositivos de cada rama, a mayor desbalance, menor es la llamada sensibilidad del amplificador.

En (3) se determinó la influencia de las variaciones de los parámetros de los transistores del BE en la diferencia de potencial entre nodos que se requiere para definir un estado u otro. Este parámetro del BE se le llamó sensibilidad cuasiestática S_e. Este estudio se realizó para tener criterios de diseño y de la repetibilidad necesaria en la tecnología utilizada. El objetivo del presente trabajo es determinar la influencia de las variaciones de los parámetros estudiados en (3) en la sensibilidad dinámica S_d, es decir teniendo en cuenta todos los efectos capacitivos y las inyecciones de carga asociadas a las mismas; para obtener criterios de diseño para determinar la diferencia de potencial mínima que se requiere entre nodos del BE para su operación normal como amplificador de lectura, o sea el umbral mínimo para su correcta operación.

Modelado del amplificador estudiado

El amplificador estudiado es básicamente el descrito en (3) con la diferencia que se le han añadido a ambos lados del BE celdas de referencia como se muestra en la Fig. 1. M_{d4} y M_{d5} constituyen los transistores de las celdas de referencia, donde la capacitancia C_{sd} es igual a C_{s1} y C_{s2}. Aquí C_{b4} y C_{b5} representan la capacidad de la línea de bit asociada a cada nodo del amplificador.

Para estudiar el comportamiento dinámico de este amplificador se requiere definir una secuencia de pulsos que permita una operación del circuito en la forma más cercana posible a la real en una memoria.

La secuencia de pulsos utilizados se muestra en la Fig. 2. Se explicarán brevemente los intervalos principales de la misma.

A - (0 a 80 nseg) - Se define un estado estable del BE, forzando nuevamente un potencial en el nodo 4, puede ser un "0" ó un "1".

B - (80 - 90 nseg) - Se desconectan los transistores M_{61} y M_{62}, dejando almacenada la información en C_{s1} y C_{s2}.

C - (90-110 nseg) - Se activa M_5 cortocircuitando ambos nodos 4 y 5. Se obtiene un potencial de cortocircuito igual en los nodos y las líneas de bit.

D - (110-130 nseg) - Se desactiva el BE, dejando flotar los nodos. Las celdas de referencia siguen las variaciones de los nodos, teniendo en cuenta los efectos capacitivos.

E - (130-170 nseg) - Se desactivan las celdas de referencia. Todo preparado para efectuar la lectura.

F - (170-210 nseg) - Se conecta la celda de almacenamiento C_{s1} al nodo 4 y la celda de referencia C_{sd} al nodo 5, desbalanceándose los nodos según sea la carga de C_{s1} con respecto a la de C_{sd}. Se producirá una redistribución de cargas entre capacitores.

G - (210 nseg en adelante) - Se activa el BE, definiéndose uno de sus dos estados estables, en función del desbalance que se alcanzó.

La lectura será correcta si el desbalance entre nodos sobrepasa el umbral mínimo de la sensibilidad del amplificador, si no dará una lectura incorrecta.

El análisis dinámico planteado sólo es posible de realizar con ayuda de un programa de simulación en computadora. En este caso se utilizó el CIME 51 (ver (4)).

El modelo de los transistores MOS utilizado en el mencionado programa es de primera aproximación de Schichman y Hodges. Como se sabe, la expresión para la corriente de drenaje en este modelo viene dada por:

$$I_{DS} = K\,(V_{GS} - V_T)\left[(V_{GS} - V_T) + \lambda V_{DS}\right] \quad \text{saturación}$$

$$I_{DS} = K\,V_{DS}\left[(2 + \lambda)(V_{GS} - V_T) - V_{DS}\right] \quad \text{no saturación}$$

donde $K = 1/2\, C_0 \mu_0 \frac{Z}{L}$

V_{GS} - voltaje compuerta surtidor

V_{DS} - voltaje drenaje surtidor

V_T - voltaje umbral

C_0 - capacitancia del óxido fino por unidad de área

μ_0 - movilidad de los portadores en el canal

Z, L - ancho y largo del canal.

λ = factor empírico que tiene en cuenta el acortamiento del largo del canal.

Los parámetros tecnológicos y de los transistores coiciden con los de (3). Para establecer la comparación con los resultados, se detallan a continuación:

- Concentración del substrato $N_B = 1{,}5 \times 10^{16}\ cm^{-3}$ (1 ohm. cm, P)
- Espesor del óxido fino $X_o = 0{,}1\ \mu m$
- Conc. de estados superficiales $N_{ss} = 1 \times 10^{-11}\ cm^{-2}$
- Potencial de contacto Si-PoliSi $\phi_{MS} = -0{,}9$ volt
- voltaje umbral $V_T \simeq 1{,}08$ volt

Dimensiones de los transistores:

de carga (T_{11}, T_{12}) $Z = 8\ \mu m$ $L = 11\ \mu m$ $K = 8{,}2\ \mu A/V^2$

de control (T_{21}, T_{22}) $Z = 80\ \mu m$ $L = 7\ \mu m$ $K = 128\ \mu A/V^2$

RESULTADOS DE LA SIMULACIÓN

Los resultados obtenidos de la simulación para los casos señalados se muestran en la tabla I, para cuando se lee un "0" en el nodo 4 y en la tabla II también se muestran los resultados obtenidos para cuando se lee un "1" en el nodo 4.

En la Fig. 2b. se muestran las curvas de salida de la simulación para un caso, a partir de las cuales se pudieran calcular los datos requeridos.

En la tabla I, los 170 nanosegundos corresponden (ver Fig. 2) al instante en que los nodos del BE están flotando y los 220 nanosegundos después que ha sido activado el BE. De estas tablas podemos observar que:

a) El voltaje igual en ambos nodos en los 170 nseg. es ligeramente inferior al de cortocircuito del análisis estático, lo cual se justifica por las variaciones de carga a través de los acoplamientos capacitivos en régimen dinámico. Este momento corresponde al instante inicial del proceso de lectura y lo llamaremos por generalización de cortocircuito.

b) La diferencia de voltaje entre los nodos 4 y 5 en el punto de inicio de lectura es de 1 mV, lo cual está perfectamente dentro del error de cálculo numérico del programa.

c) Hay casos en que en los 220 nseg., después de activado el BE, el nodo 4 tiene menos tensión que el nodo 5 (por ejemplo, el caso de -10% en beta del transistor de control M_{21} donde el voltaje del nodo 4 es de 2,947 volt y el del nodo 5 de 3,115 volt) indicando, aparentemente en este punto una lectura correcta. Sin embargo, vemos que en las observaciones se plantea que la misma fue errónea, es decir, el nodo 4 leyó un "1" lógico. A esta situación aparentemente ilógica se le da respuesta en la comparación que se hará con el estudio en régimen estático del BE, presentado a

continuación.

d) La diferencia de voltaje entre los nodos 4 y 5 es diferente en el caso de lectura de un "1" ó de un "0". Esto se debe a la diferencia de inyecciones de carga, dados los diferentes niveles de voltaje a que se encuentra la celda de almacenamiento.

En las figuras 3, 4, 5 y 6 se han repetido las bisectrices y separatrices obtenidas en el análisis estático realizado en (3), sobre las cuales se han llevado los datos de las tablas I y II.

Del análisis de las figuras se puede señalar:

a) El punto de cortocircuito disminuye de 3,2 V a 2,3 V, debido a la carga extraida de los nodos 4 y 5 al desactivar M_5.

b) Al desbalancear el BE, variando los parámetros de los transistores, este nivel de 2,3 V aumenta o disminuye a lo largo de la línea de cortocircuito en mayor o menor medida, notándose que los efectos son más pronunciados para variaciones en los parámetros de la carga.

c) La redistribución de cargas durante el sensado de la información más las variaciones de carga al activarse el BE provocan una diferencia de potencial entre los nodos 4 y 5, donde el voltaje de ambos varía debido a lo ya expuesto. Como se observa de las figuras estos puntos caen todos sobre una recta. Los efectos, al igual que en B) son más pronunciados para variaciones de los transistores de carga.

d) En todos los casos se observa que el papel que juegan las separatrices en el caso estático es el mismo que en el caso dinámico (3), con lo cual el criterio de sensibilidad obtenido para el análisis estático es también válido o adecuado para cuando el amplificador opera en régimen dinámico.

CONCLUSIONES Y RECOMENDACIONES

Se realizó la simulación de un tipo de amplificador de lectura de una memoria dinámica de acceso aleatorio durante el proceso de lectura, teniendo en cuenta los efectos capacitivos y utilizando una secuencia de pulsos próxima a la operación normal de la memoria. Se analizaron diferentes casos en función de los parámetros de los transistores y la variación de los mismos. De este estudio se pudo determinar:

1) En el caso de asimetrías dadas por la K ó el V_T de los transistores se observó que en todos los casos (ver gráficos) estudiados el que la lectura del BE fuese o no correcta dependía de si el punto dado por la diferencia de voltaje entre ambos nodos en el momento de activar el BE estaba por arriba o por debajo de la separatriz obtenida por el análisis estático (3). Lo cual quiere decir que las separatrices calculadas son totalmente válidas en el análisis dinámico.

2) En base a lo anterior, el umbral mínimo de diferencia de voltaje entre nodos, o sea, la sensibilidad dinámica S_d, será igual a la sensibilidad estática S_e calculada a partir de las variaciones de los parámetros de los transistores (así como de su dispersión). Esto es particularmente importante por cuanto ofrece un criterio para el diseño del BE sin tener que efectuar complejos y laboriosos cálculos, pudiéndose así obtener un cierto valor de umbral de sensibilidad para el cual el BE funcionará correctamente.

3) Se ve la necesidad de contar con las mediciones que permitan determinar la posible dispersión de los parámetros analizados debido a la tecnología de fabricación, lo cual permitiría calcular la separatriz más probable.

Los resultados aquí presentados están sujetos a modificaciones debido a la modelación utilizada, es decir, la utilización del modelo de primera aproximación con V_t variable y la consideración de que las capacidades parásitas del transistor C_{gs} y C_{gd} son constantes e iguales entre sí, tomando como el valor de cada una de ellas la mitad de la capacitancia del óxido fino de la compuerta. En el futuro inmediato se probará un modelo de mayor precisión, el de Ihantola o modelo de los tres medios, al cual se le han incorporado los efectos capacitivos en función del voltaje aplicado de C_{gs} y C_{gd}.

Es evidente la necesidad de continuar el presente estudio teniendo en cuenta la variación de las capacidades parásitas C_{gs} y C_{gd} y de las capacidades de la línea de bit.

Parámetro	170 nseg.		220 nseg.			OBSERVACIONES
	V4	V5	V4	V5	Símbolo	
Simétrico	2,363	2,363	2,912	3,101	◊	
+ 10% en K_{21}	2,335	2,335	2,879	3,088	o	
+ 20% " "	2,309	2,309	2,848	3,076	.	
- 10% " "	2,393	2,393	2,947	3,115	□	leyó mal
- 20% " "	2,423	2,424	2,984	3,129	△	leyó mal
+ 20% " $V_{T_{21}}$	2,422	2,422	2,971	3,130	x	leyó mal
+ 10% " "	2,393	2,394	2,942	3,116	+	leyó mal
- 10% " "	2,331	2,332	2,880	3,086	†	
- 20% " "	2,299	2,299	2,847	3,070	*	
+ 10% en K_{11}	2,407	2,408	3,019	3,119	o	leyó mal
+ 20% " "	2,448	2,449	3,119	3,135	.	leyó mal
- 10% " "	2,316	2,317	2,798	3,082	□	
- 20% " "	2,268	2,269	2,678	3,060	△	
+ 20% " $V_{T_{11}}$	2,332	2,333	2,840	3,089	x	
+ 10% " "	2,347	2,348	2,876	3,095	+	
- 10% " "	2,378	2,379	2,948	3,108	†	
- 20% " "	2,394	2,395	2,985	3,114	*	

Nota: V4 y V5 son los voltajes en los nodos 4 y 5 respectivamente.

TABLA I.- Lectura de un cero lógico en el nodo 4.

Parámetros	170 nseg.		220 nseg.			OBSERVACIONES
	V4	V5	V4	V5	Símbolo	
Simétrico	2,363	2,363	3,369	3,048	◊	
+ 10% en K_{21}	2,336	2,335	3,341	3,036	o	
+ 20% " "	2,311	2,310	3,314	3,025	.	leyó mal
- 10% " "	2,392	2,391	3,398	3,060	□	
- 20% " "	2,422	2,421	3,428	3,072	△	
+ 20% " $V_{T_{21}}$	2,423	2,421	3,429	3,073	x	
+ 10% " "	2,394	2,393	3,400	3,061	+	
- 10% " "	2,332	2,331	3,337	3,035	†	
- 20% " "	2,299	2,299	3,303	3,021	*	leyó mal
+ 10% en K_{11}	2,407	2,407	3,455	3,061	o	
+ 20% " "	2,449	2,448	3,536	3,072	.	
- 10% " "	2,317	2,317	3,278	3,033	□	
- 20% " "	2,269	2,269	3,183	3,016	△	leyó mal
+ 20% " $V_{T_{11}}$	2,333	2,332	3,305	3,039	x	
+ 10% " "	2,348	2,347	3,337	3,043	+	
- 10% " "	2,379	2,378	3,401	3,052	†	
- 20% " "	2,395	2,394	3,434	3,056	*	

NOTA: V4 y V5 son los voltajes de los nodos 4 y 5 respectivamente

TABLA II.- Lectura de un uno lógico en el nodo 4

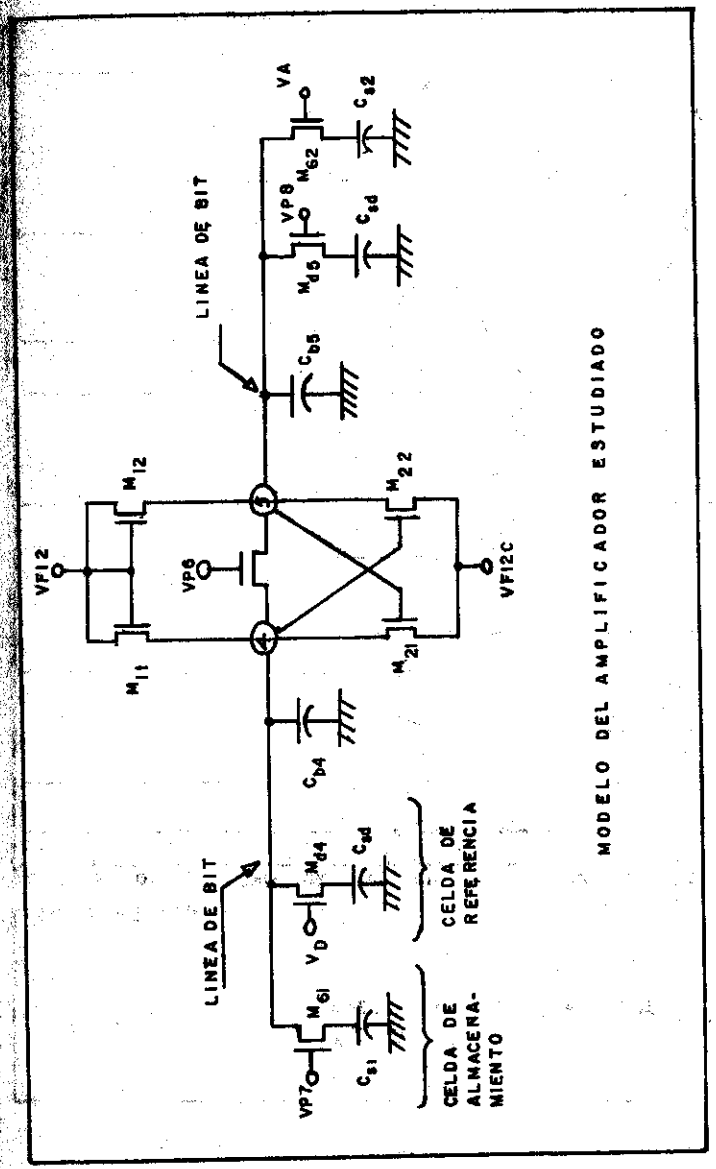
BIBLIOGRAFÍA

1 Clinton Kuo, Nori Kitagawa et al. Sense amplifier design is key to 1-transistor cell in 4 096 bit RAM. Electronics, setiembre 13, 1976.

2 Karl-Ulrich Stein y Hans Friederich. A 1-mil^2 single-transistor memory cell in n silicon gate Technology.
IEEE Journal of Solid State Circuits, Vol. SC-8, No. 5, octubre, 1973.

3 A. Cerdeira y J. R. Rodríguez. Sensibilidad de un biestable para lectura de memoria RAM.
Presentado en la 2da. Confl Cient. del ISPJAE, dic., 1979.

4 R. Lopez y V. Escartin. CIME-51, programa de simulación de circuitos.
Presentado en la 2da. Conf. Cient. del ISPJAE, 6-9 Dic. 1979.



MODELO DEL AMPLIFICADOR ESTUDIADO

Figura 1

BIBLIOGRAFÍA

1 Clinton Kuo, Nori Kitagawa et al. Sense amplifier design is key to 1-transistor cell in 4 096 bit RAM. Electronics, setiembre 13, 1976.

2 Karl-Ulrich Stein y Hans Friederich. A 1-mil^2 single-transistor memory cell in n silicon gate Technology.
IEEE Journal of Solid State Circuits, Vol. SC-8, No. 5, octubre, 1973.

3 A. Cerdeira y J. R. Rodríguez. Sensibilidad de un biestable para lectura de memoria RAM.
Presentado en la 2da. Confl Cient. del ISPJAE, dic., 1979.

4 R. Lopez y V. Escartin. CIME-51, programa de simulación de circuitos.
Presentado en la 2da. Conf. Cient. del ISPJAE, 6-9 Dic. 1979.

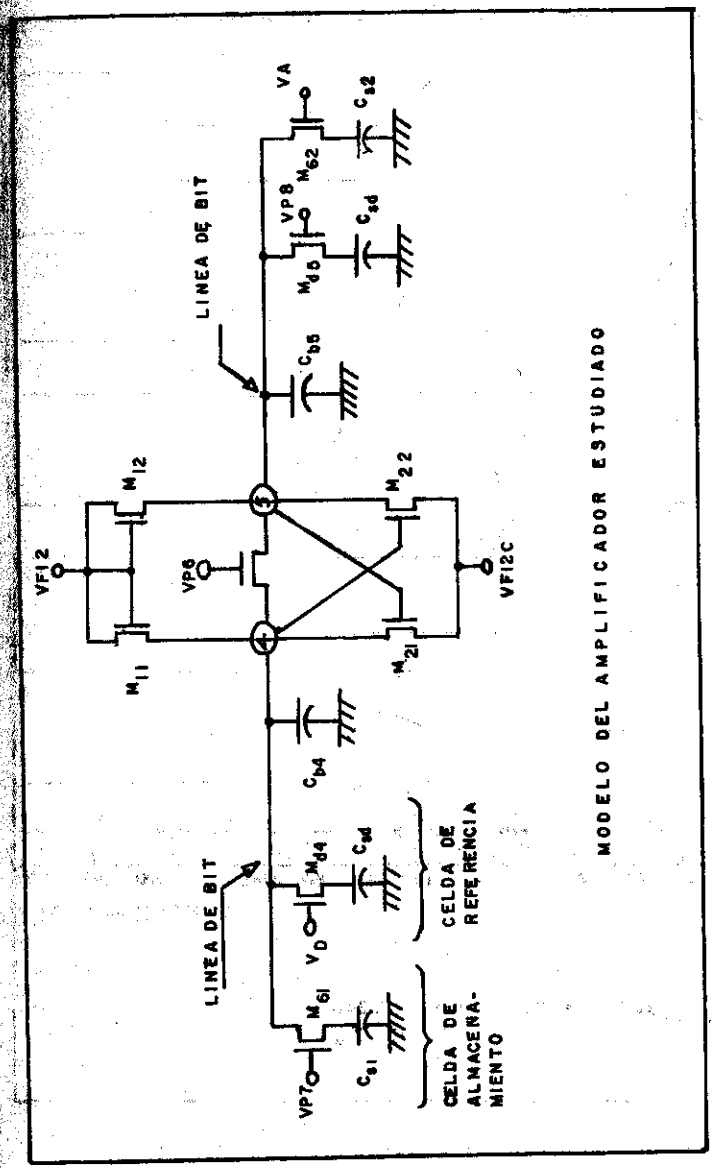


Figura 1

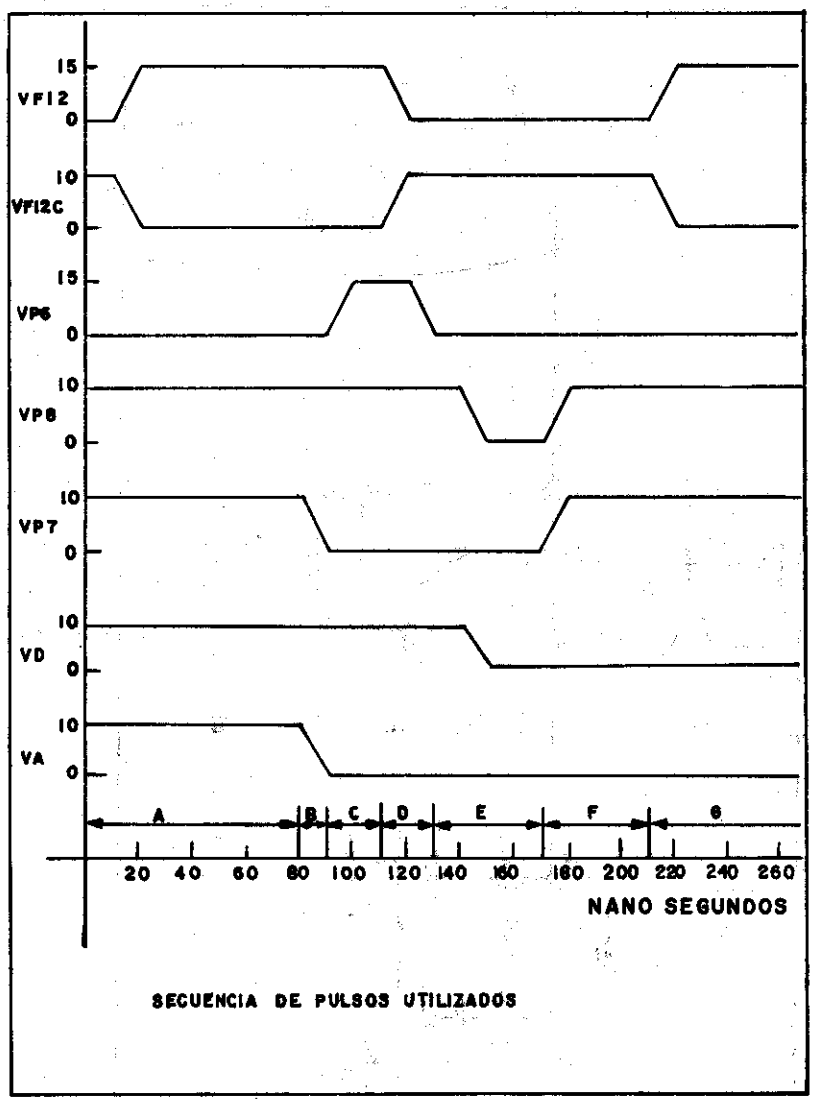


Figura 2

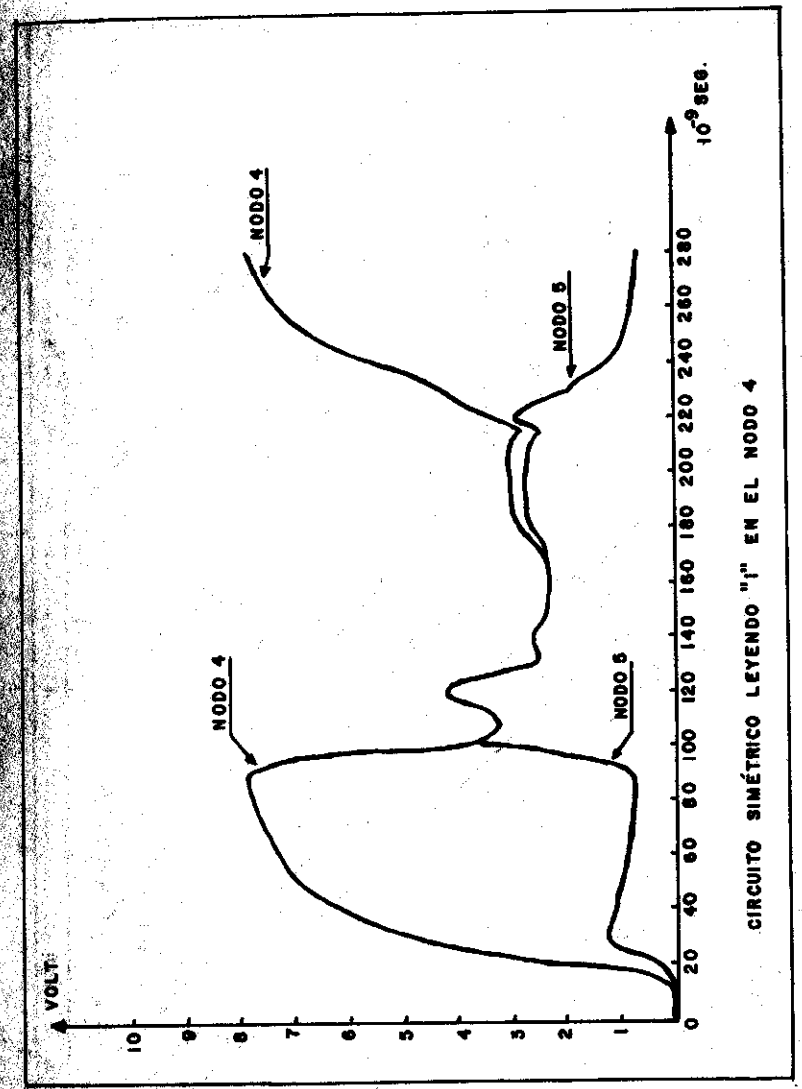


Figura 2 b

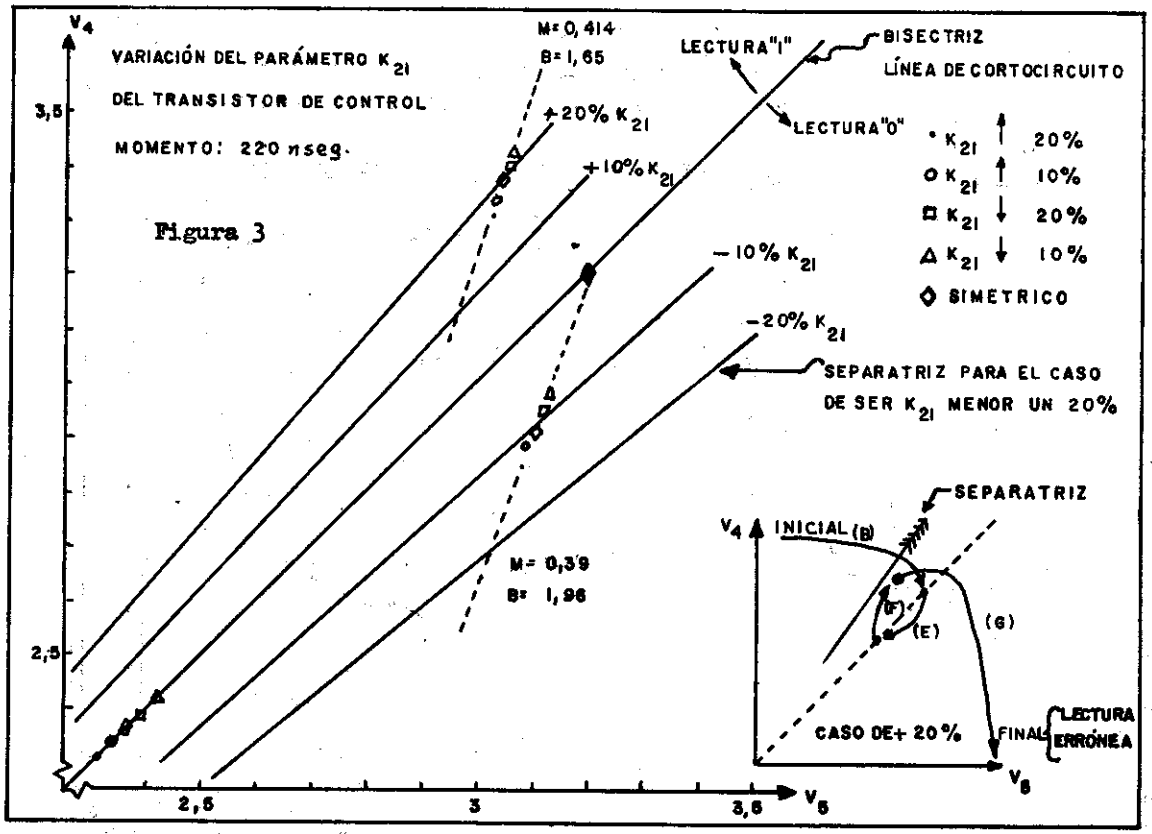


Figura 3

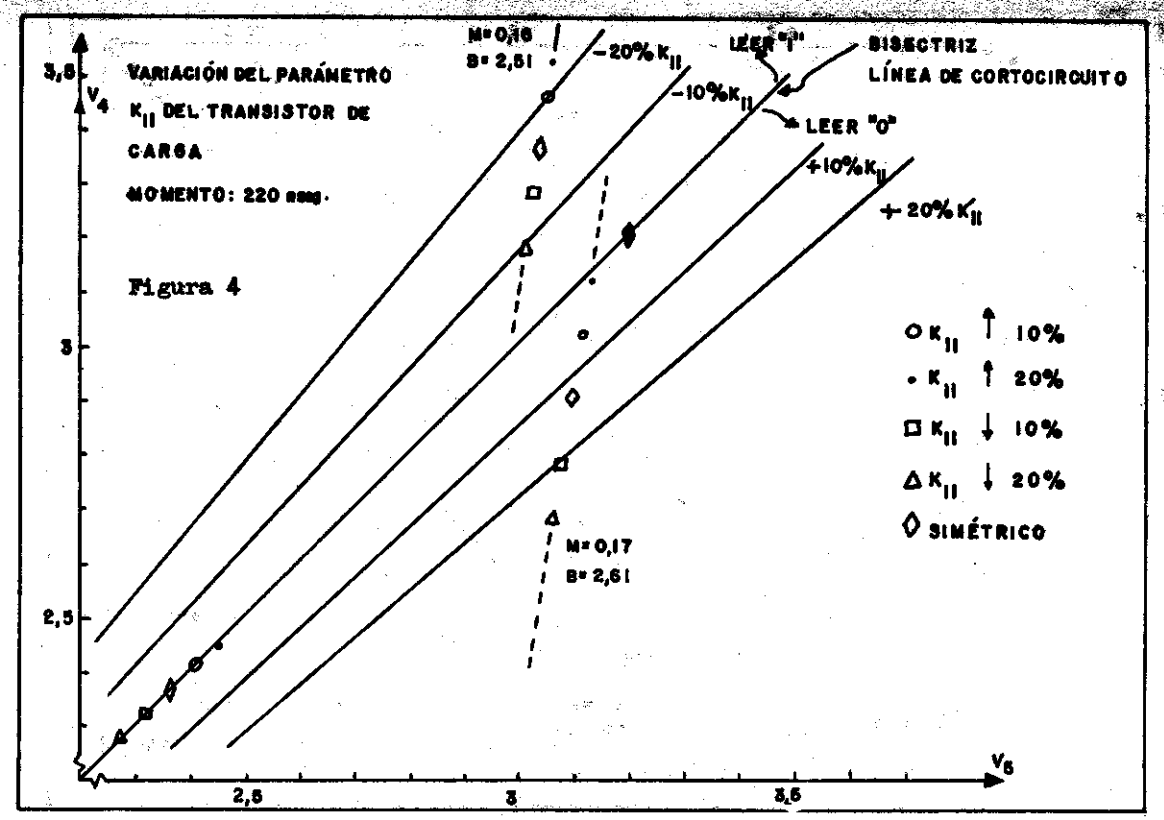


Figura 4

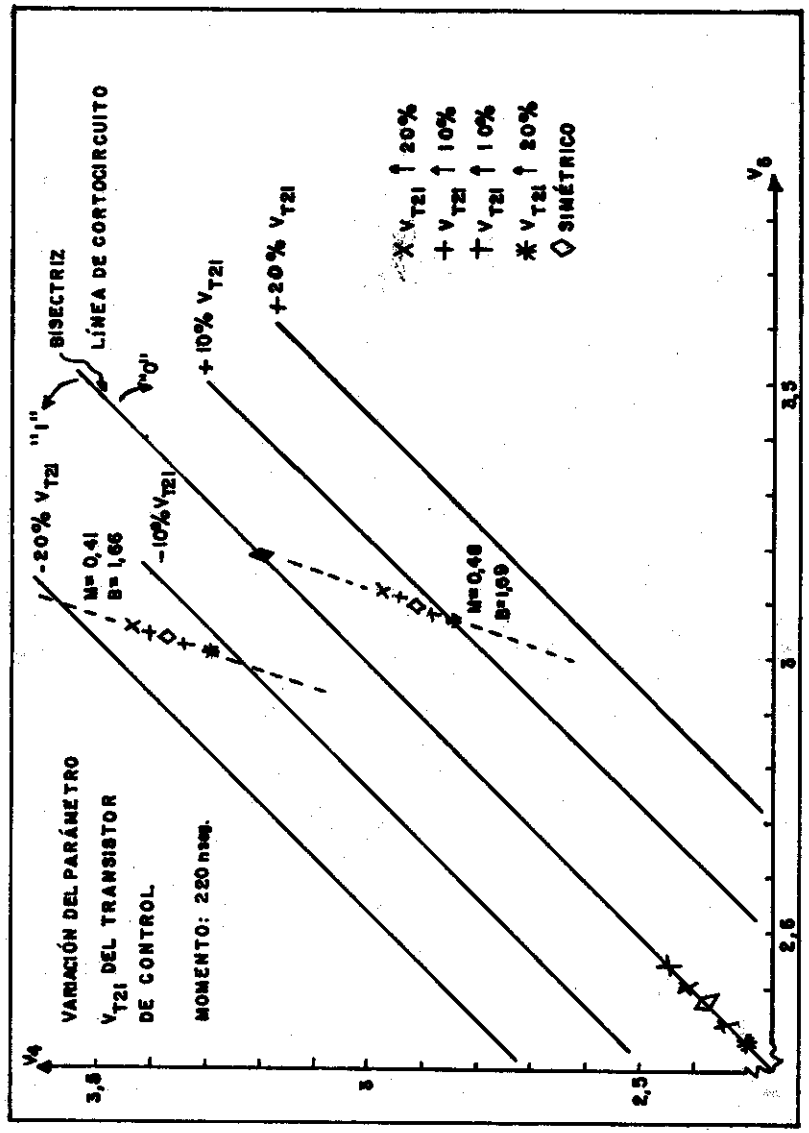


Figura 5

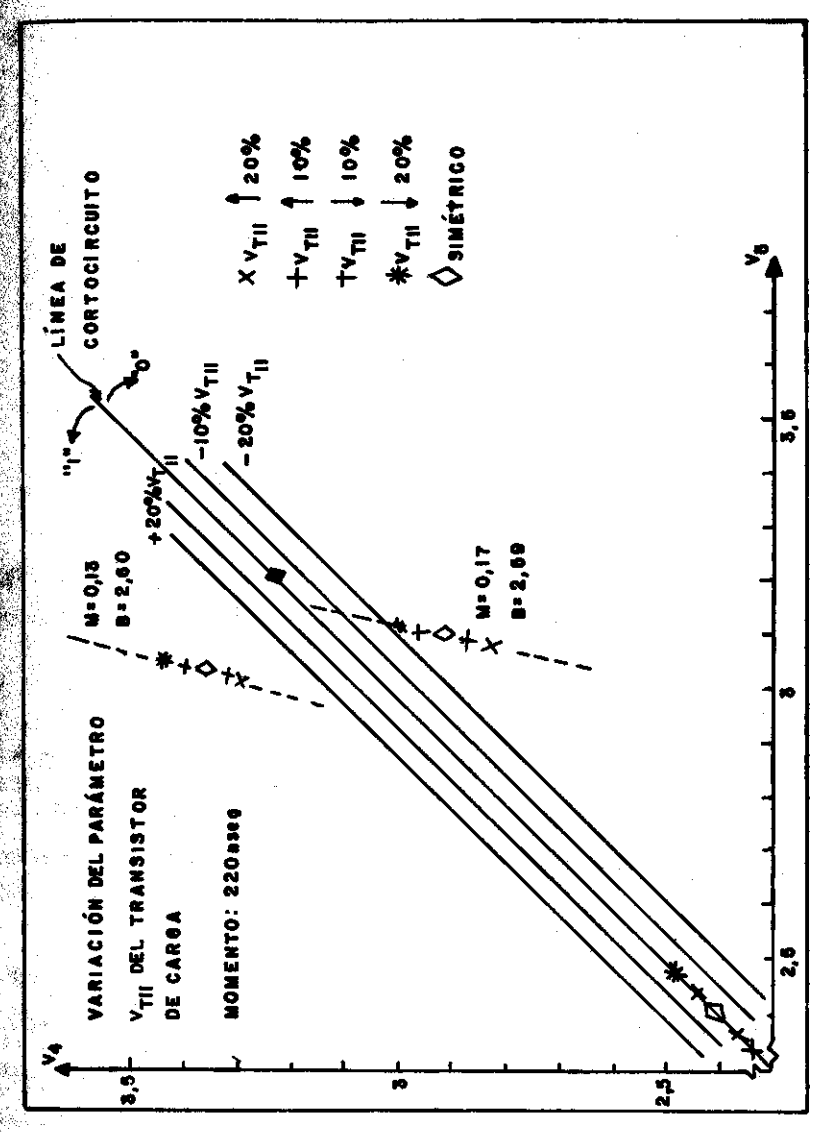


Figura 6