

CARACTERÍSTICAS ELÉCTRICAS DE UNA CELDA DE MEMORIA EPROM.

J. Folgueras, M. Estrada

J. Mesa

Instituto Cubano de Investigación Digital (ICID)

RESUMEN

En este trabajo se exponen algunas características eléctricas de un tipo de celda EPROM incluyendo la influencia de factores no considerados hasta el presente en la literatura. Se propone una expresión para la corrección del valor del voltaje de umbral de la celda determinado por el método convencional, y otra para el cálculo del voltaje de saturación de drenaje, con la cual se logra una concordancia entre los valores teóricos y los experimentales mejor que la obtenida empleando otros modelos publicados. Se concluye que las expresiones pueden

servir para simular el comportamiento de la celda en programas de computación.

ABSTRACT

In this paper some electrical characteristics of an specific type of EPROM cell are discussed, including the influence of factors not considered previously. Expressions for correcting the value of the threshold voltage of the cell as determined by the conventional method and for calculating the drain saturation voltage are proposed, with which the agreement between theoretical and experimental values is improved with respect to that obtainable with previously published models. It is concluded that the expressions are useful for the simulation of the cell with computation programs.

INTRODUCCIÓN

En las memorias EPROM (Erasable -Programable-Read-Only-Memory) se han utilizado, como elemento almacenador de la información, diferentes tipos de celdas, siendo las

principales el FAMOS⁽¹⁾, stacked-gate⁽²⁾, SIMOS⁽³⁾, y otras⁽⁴⁾.

Estas estructuras son transistores MOS que tienen, como característica común, una compuerta de polisilicio utilizada para almacenar una carga eléctrica que varía el voltaje de umbral del dispositivo.

Actualmente una de las estructuras más empleadas está formada por un transistor MOS canal N con dos compuertas de polisilicio superpuestas, una de las cuales carece de comunicación con el exterior, por lo cual recibe el nombre de compuerta flotante, habiéndose reportado varias estructuras de este tipo⁽⁵⁾, que se diferencian entre sí por el grado en que la compuerta externa (G) cubre la compuerta flotante (F).

Las características de las celdas tienen especial importancia para determinar los regímenes de programación de las mismas, así como en la simulación eléctrica mediante programas de computación.

En este trabajo se resumen algunas de las características de un tipo de celda de memoria ampliamente utilizada en la actualidad, incluyendo la influencia de factores no reportados en los trabajos publicados sobre el tema.

Los nuevos resultados que se obtienen permiten deter-

minar las características de programación de la celda con más precisión que la lograda con otros modelos publicados.

PRINCIPIO DE FUNCIONAMIENTO DE LA CELDA DE MEMORIA

La celda representada en la Fig. 1 se programa inyectando electrones desde el canal del transistor hacia la compuerta flotante, a través del óxido de silicio, con lo cual se varía el voltaje de umbral del dispositivo y como se muestra en la Fig. 2 se modifica su característica transferencial. Si no se inyectan electrones en la compuerta flotante el voltaje de umbral será el señalado en la Fig. 2 como V_{TL} y si se aplica entre compuerta y fuente un voltaje V el transistor conducirá, lo que representa el "1" lógico. Si, por el contrario, se han inyectado electrones, el voltaje de umbral aumenta a V_{TH} y, al aplicar el voltaje V como en el primer caso, el transistor no conducirá, lo que representará el "0" lógico, diciéndose entonces que la celda se ha programado. Por tanto, para tener bien diferenciados los dos niveles lógicos es necesario lograr un incremento tal en el voltaje de umbral que permita que los estados de conducción y no conducción estén bien definidos, aún para condiciones extremas de variación de la temperatura y variación de los parámetros tecnológicos.

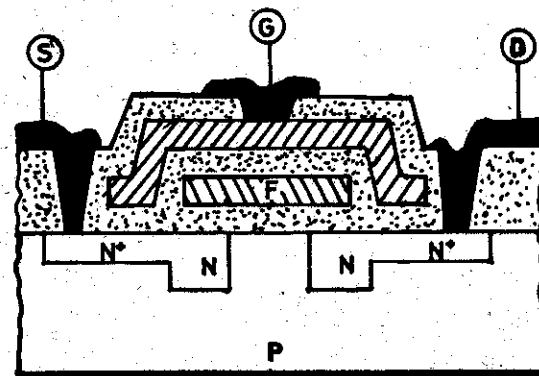


Fig. 1

Dibujo simplificado de una celda de memoria EPROM con doble compuerta de polisilicio.

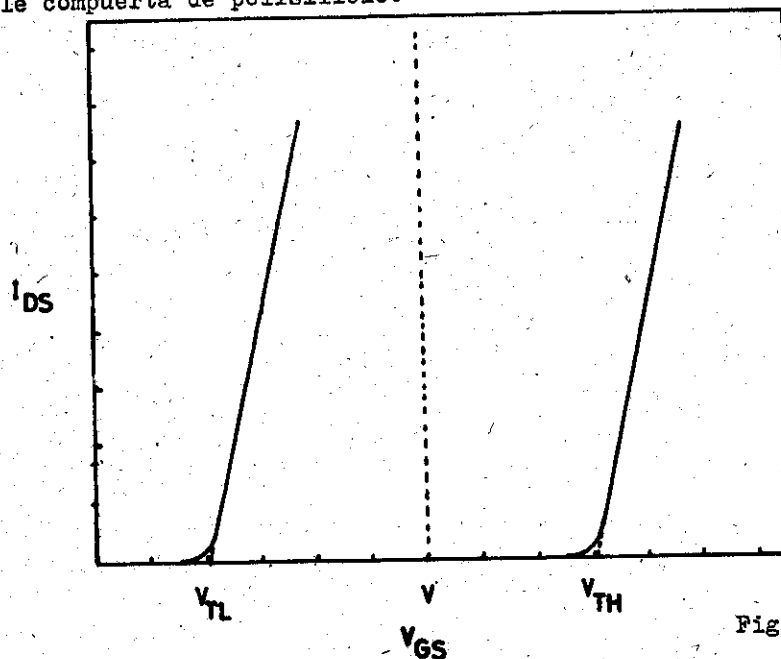


Fig. 2

Características transferenciales de la celda antes y después de ser programadas.

Para programar la celda se aceleran los electrones en el canal mediante el campo eléctrico longitudinal debido a V_{DS} (voltaje entre drenaje y fuente). Cuando el campo es suficientemente intenso se producen electrones calientes, cuya energía es suficiente para atravesar la barrera de potencial entre la compuerta flotante y el canal, debida al óxido de silicio. Si el campo perpendicular debido a V_{GS} es adecuado, estos electrones se inyectan hacia la compuerta flotante, donde son atrapados.

Este mecanismo de inyección puede producirse una vez formada la zona de pinch-off en el canal del transistor⁽⁶⁾ o mediante la saturación de velocidad de los electrones en el canal, en cuyo caso existen electrones calientes antes de producirse el pinch-off, para lograr lo cual se requiere un campo eléctrico longitudinal mínimo de 2×10^4 V/cm. Para lograr que la saturación de velocidad ocurra antes del pinch-off y emplear valores de V_{DS} inferiores al valor del voltaje de ruptura de la juntura se hace necesario el empleo de canales cortos del orden de 3 a $4 \mu\text{m}$.

Si bien esta celda se puede programar por inyección desde la zona de pinch-off, ello conlleva a una menor corriente de inyección y un tiempo de programación mayor⁽⁷⁾.

ESTRUCTURA DE LA CELDA ANALIZADA

En un trabajo reciente⁽⁸⁾ se ha descrito un conjunto de procesos tecnológicos que permiten fabricar celdas con canales cortos no autoalineados, con la estructura mostrada en la Fig. 3. En esta figura se muestra una vista en planta de una celda. Un corte según A - A' tiene por resultado la estructura mostrada en la Fig. 1, mientras que un corte por B - B' se muestra en la parte inferior de la Fig. 3, en la cual se indican las dimensiones de los diferentes elementos. En los cálculos que se han realizado en éste trabajo se han supuesto los siguientes valores de esas dimensiones:

- Z : ancho del canal del transistor ($6 \mu\text{m}$)
- L : longitud del canal ($3,5 \mu\text{m}$)
- l_{pl} : ancho de la compuerta F ($18 \mu\text{m}$)
- l : largo de la compuerta F ($6 \mu\text{m}$)
- l_{OD} y l_{OS} : solapamiento de F con D y S respectivamente ($1,25 \mu\text{m}$)
- X_1 : espesor del óxido sobre el canal (125 nm)
- X_2 : espesor del óxido entre G y F (125 nm)
- X_3 : espesor del óxido entre F y sustrato fuera del canal (540 nm)

En la Fig. 4 se muestra el circuito equivalente de

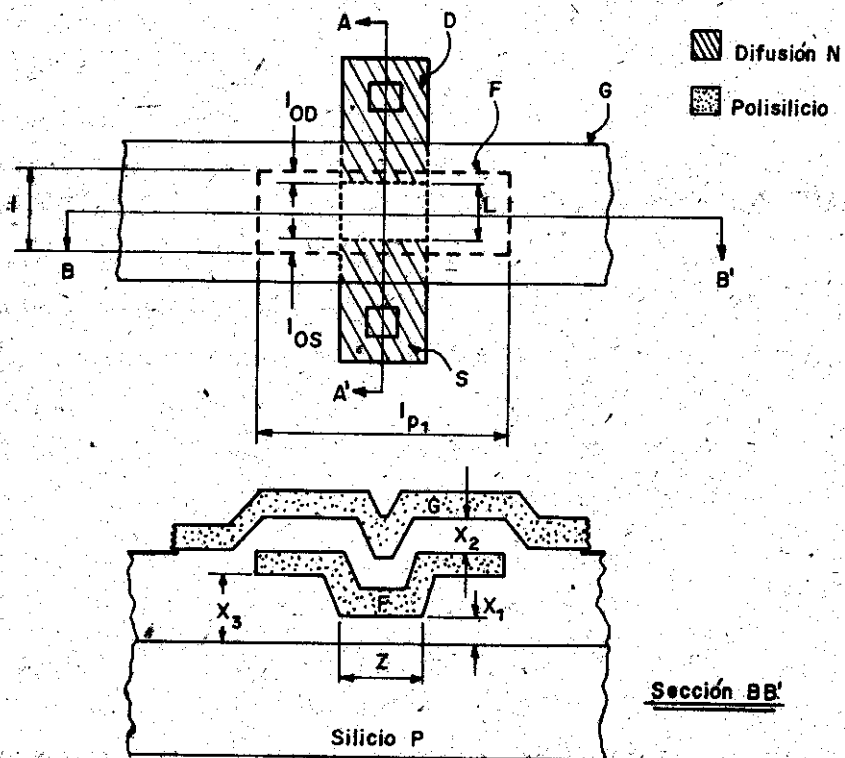


Fig. 3

Vista en planta de la celda de memoria estudiada en este trabajo (arriba) y sección de la misma según el corte B-B' (abajo).

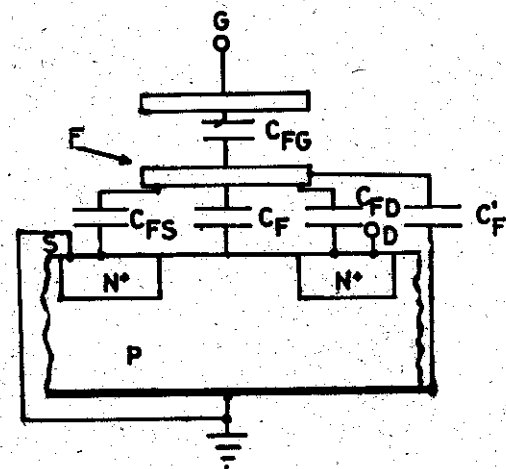


Fig. 4

Circuito equivalente con las capacidades existentes en la celda.

las capacidades presentes en la estructura, donde C_{FS} y C_{FD} representan las capacidades de solapamiento de F con la fuente y el drenaje respectivamente, C_F es la capacidad entre F y el canal y C'_F es la capacidad entre F y el sustrato fuera del canal.

Si $V_{BS} = 0$ y se supone que el canal es equipotencial, se puede obtener la relación:

$$\frac{V_{FS}}{V_{GS}} = \frac{C_{FG}}{C_T} \left[1 + \frac{C_{FD}}{C_{FG}} \frac{V_{DS}}{V_{GS}} - \frac{Q_F}{C_{FG} V_{GS}} \right], \quad (1)$$

donde: $C_T = C_F + C_{FS} + C_{FD} + C'_F + C_{FG}$
y Q_F es la carga en la compuerta debida a la inyección.

De (1) se ve que, para lograr que V_{FS} sea una fracción grande de V_{GS} , debe aumentarse C_{FG} . Para ello se aumenta el área entre F y G lo que a su vez introduce la capacidad C'_F .

El voltaje de umbral V_{TMO} con respecto a G con $V_{DS} = 0$ y $Q_F = 0$ está dado por:

$$V_{TMO} = V_T \frac{C_T}{C_{FG}} \quad (2)$$

donde V_T representa el voltaje de umbral con respecto a F.

Durante la programación, la carga Q_F almacenada en la compuerta aumentará con el tiempo de programación, haciendo que V_{FS} disminuya, según puede verse de la expresión (1). Puesto que el valor de V_{DS} aplicado es constante, el proceso de inyección hace que el punto de operación de la celda se desplace de una zona en la cual la saturación de la corriente de drenaje se debe a que se ha alcanzado la saturación de la velocidad de los electrones en el canal, a otra zona en la cual la corriente de drenaje se satura debido a la aparición del pinch-off, tal como se muestra en la Fig.5, con el consiguiente cambio en la naturaleza del mecanismo de inyección de electrones hacia la compuerta F. Es por ello que el valor de la pendiente de la curva de V_{TM} en función del tiempo cambia, lo que se discute en más detalle en otro trabajo (7). Eventualmente, el proceso de inyección se detiene, debido al aumento de la altura de la barrera de potencial entre F y el punto de inyección y a la disminución de la concentración de electrones calientes.

En estas condiciones V_{FS} alcanza su valor mínimo dado por:

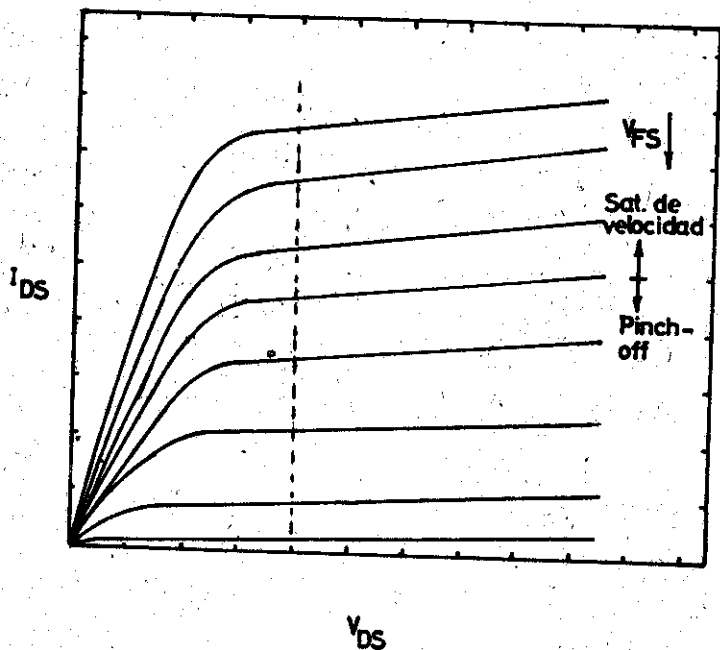


Fig. 5

Características de salida de la celda EPROM, indicando la zona de saturación de la corriente de drenaje por pinch-off y por saturación de velocidad.

$$V_{FS \text{ min}} = \frac{C_{FG}}{C_T} V_{GS} \left[1 + \frac{C_{FD}}{C_{FG}} \frac{V_{DS}}{V_{GS}} - \frac{Q_F \text{ máx.}}{C_{FG} V_{GS}} \right], \quad (3)$$

donde $Q_F \text{ máx.}$ es la carga total inyectada en la compuerta, que puede calcularse mediante la expresión:

$$Q_F \text{ máx.} = [V_{TM} - V_{TMO}] C_{FG}, \quad (4)$$

donde V_{TM} y V_{TMO} son los valores final e inicial, respectivamente, del voltaje de umbral respecto a la compuerta G.

Todas estas expresiones se reducen a las publicadas(9) en la literatura si se supone que $C_{FD} \ll C_{FG}$ y que $C'_P = 0$. Si bien la primera suposición es razonable en algunos casos, la segunda, en cambio, no lo es, pues conduce a subestimar el valor de V_{FS} en un 12% cuando $Q_F = 0$, para la celda de la Fig. 3. Por otra parte, es común determinar el valor del voltaje de umbral de un transistor MOS haciendo $V_{GS} = V_{DS}$ y determinando el intercepto de la característica I-V del dispositivo, en estas condiciones, con el eje de los voltajes. A partir de la expresión (1) y teniendo en cuenta las condiciones de medición se puede

llegar a la siguiente expresión:

$$V_{TM} = V_{TMm} \left[1 + \frac{C_{FD}}{C_{FG}} \right], \quad (5)$$

en la cual V_{TMm} es el valor medido del voltaje de umbral y los demás símbolos tienen el mismo significado explicado anteriormente.

Empleando (5) puede determinarse con más precisión el valor del voltaje de umbral, al mismo tiempo que es posible valorar el efecto de una posible desalineación de las máscaras sobre el valor del mismo.

Puesto que la inyección de electrones puede tener lugar debido a dos mecanismos según se dijo anteriormente, la determinación de los valores de V_{DS} y V_{GS} para los cuales ocurre el pinch-off antes que el fenómeno de saturación de la velocidad, es útil para definir cual de los dos mecanismos está actuando.

Tuan Wang⁽¹⁰⁾ ha obtenido, para el voltaje de saturación del drenaje de un transistor MOS con compuerta flotante, la siguiente expresión:

$$V_{DSsat} = \frac{C_{FG}}{C_T} \left[V_{GS} + \frac{C_{FD}}{C_{FG}} V_{DS} - V_{TM} \right] \quad (6)$$

Esta aproximación, como se verá en la Fig. 6 introduce un error considerable en la determinación de V_{DSsat} .

A partir del modelo para el transistor MOS propuesto por Ihanola⁽¹¹⁾ y empleando las expresiones (1) y (2), en el presente trabajo se obtuvo una expresión analítica para la corriente de drenaje de la celda de memoria. A partir de esta expresión se obtuvo su derivada con respecto a V_{DS} , igualándola a cero y obteniendo como expresión del voltaje de drenaje en saturación la siguiente:

$$V_{DSsat} = B \frac{(V_{GS} - V_{TM}) + A \sqrt{2\phi_F}}{C} + \frac{A^2}{2C^2} \quad (7)$$

$$\left[1 - \sqrt{1 + \frac{4C \left[B(V_{GS} - V_{TM}) + A \sqrt{2\phi_F} + 2C\phi_F \right]}{A^2}} \right]$$

en la cual los símbolos A, B y C tienen el siguiente significado:

$$A = \sqrt{\frac{2N_A qk_0 \epsilon_B}{C_0^2}}, \quad B = \frac{C_{FG}}{C_T}, \quad C = 1 - 2 \frac{C_{FD}}{C_T},$$

y los símbolos nuevos tienen el significado corrientemente aceptado para la teoría del transistor MOS. Estas expresiones se usaron para calcular la curva de pinch-off

en la Fig. 6.

Si F y G se conectan entre sí, entonces C_{FG} tiende a infinito y B y C tienden a la unidad, de forma tal que la expresión (7) se reduce a la que se obtiene del modelo propuesto en (11) para el transistor MOS sin compuerta flotante.

CARACTERÍSTICAS DE PROGRAMACIÓN

En la Fig. 6 se muestra un gráfico del umbral de inyección de la celda, definido como el valor mínimo de V_{DS} que produce inyección de electrones hacia la compuerta F, para un valor dado de V_{GS} . Los valores experimentales se obtuvieron determinando el umbral de inyección en celdas vírgenes, fijando V_{GS} y aumentando V_{DS} hasta que se iniciaba el proceso de inyección; se han incluido además los valores experimentales de V_{DSsat} .

La curva de umbral de inyección presenta dos zonas bien diferenciadas: una que corresponde a la inyección después de formada la zona de pinch-off y otra correspondiente a la inyección desde el canal una vez que ocurre la saturación de la velocidad de los portadores. De la Fig. 6 se puede ver que el valor de V_{DSsat} depende de V_{GS} mientras está presente el mecanismo de pinch-off y

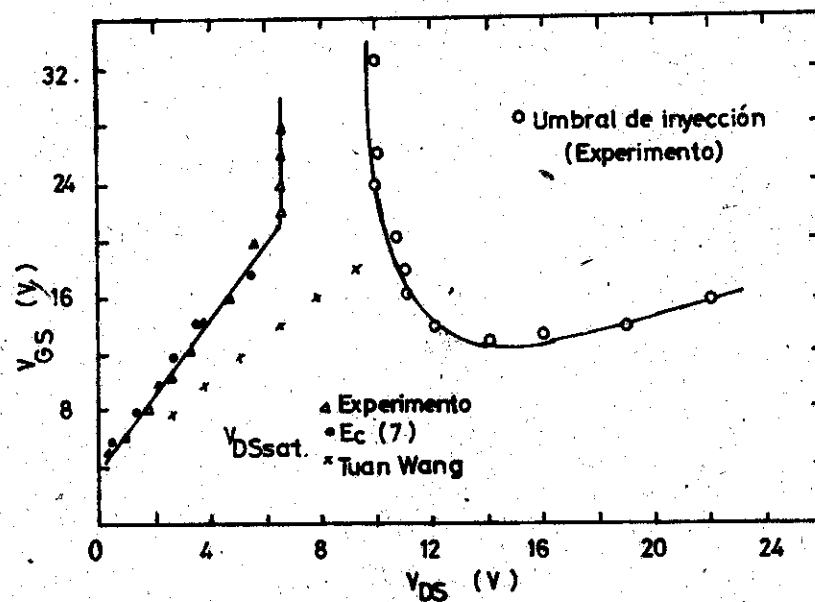


Fig. 6

Umbral de inyección de la celda EPROM (derecha) y voltaje de drenaje en saturación V_{DSsat} (izquierda) referidos al voltaje V_{GS} entre la compuerta G y la fuente.

se hace prácticamente independiente de V_{GS} cuando ocurre la saturación de la velocidad.

En la figura también se han incluido los valores teóricos de V_{DSsat} obtenidos a partir de la expresión propuesta en ⁽¹⁰⁾ y la expresión (7), obtenida en este trabajo, válidos para la zona de pinch-off. El valor de V_{DSsat} para la zona en que ocurre la saturación de la velocidad de los portadores se ha determinado de forma aproximada a partir del campo crítico.

Este cálculo puede realizarse también siguiendo el método propuesto por Fukuma y Okuto ⁽¹²⁾ en un trabajo reciente, que no considera la variación de la movilidad con el campo eléctrico transversal, importante en este caso. El método, no obstante, requiere de la evaluación de coeficientes empíricos para ajustar las curvas, lo que dificulta aún más su aplicación. Obsérvese la buena concordancia entre los valores experimentales de V_{DSsat} y los cálculos mediante la expresión ⁽⁷⁾ que se propone en el presente trabajo, así como la notable diferencia entre el experimento y la teoría si se emplea la expresión propuesta por Tuan Wang.

Como se explicó anteriormente, la Fig. 6 se refiere al voltaje externo V_{GS} , que para unas condiciones de

programación, permanece constante. Si mediante la expresión (1) se transforma el gráfico de la Fig. 6 se obtienen las curvas mostradas en la Fig. 7, referidas al voltaje entre F y S (fuente), V_{FS} .

De esta forma se hace posible emplear la curva de umbral de inyección aún para celdas en las cuales ya se ha inyectado carga en F, pues esto sólo equivale a considerar una celda virgen con un menor valor de V_{FS} . Esto permite comprender mejor la naturaleza dinámica del proceso de inyección y el cambio de mecanismo, tal como se explicó con anterioridad.

Tanto en la Fig. 6 como en la Fig. 7 se observa que desde que se producen las zonas de pinch-off o de saturación de velocidad, hasta que comienza el proceso de inyección es necesario, para un valor fijo de V_{GS} , que aumente el valor de V_{DS} en varios voltios, lo que demuestra que la sola existencia de una u otra de estas zonas en el canal del transistor que forma la celda no garantiza la inyección. Esta característica es de esperar si se recuerda que, al fijarse V_{GS} , queda fijo el valor de la barrera de potencial entre el canal y la compuerta F, por lo que la inyección dependerá sólo del aumento de la probabilidad de inyección de electrones, que depende no

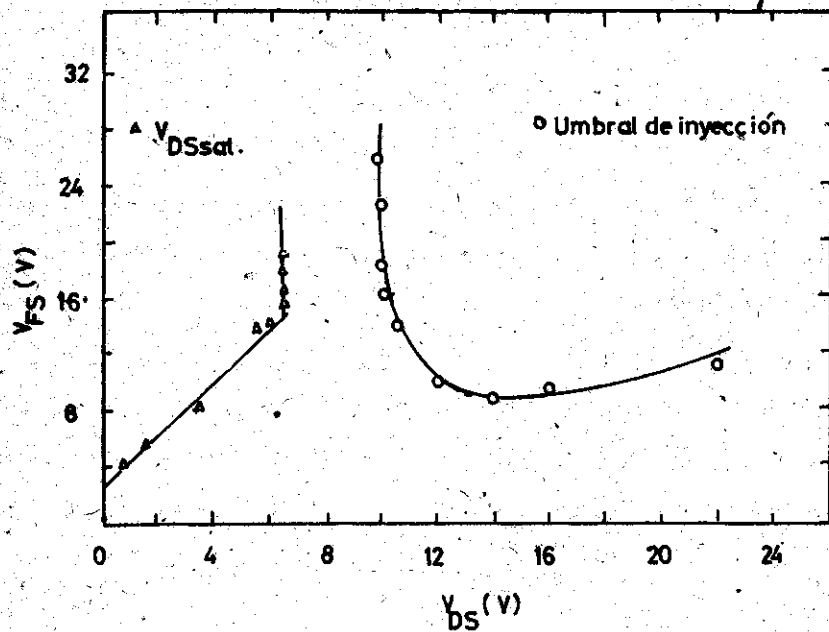


Fig. 7

Umbral de inyección de la celda EPROM (derecha) y voltaje de drenaje en saturación V_{DSsat} referidos a la compuerta flotante (F).

sólo de la concentración de electrones calientes, sino de su energía, la cual aumenta con V_{DS} .

CONCLUSIONES

Se han representado algunos aspectos de las características de un tipo de celda de memoria EPROM con dos compuertas de polisilicio no contemplados en la literatura, incluyendo el efecto del solapamiento de la compuerta flotante sobre el óxido grueso y la determinación del voltaje de umbral.

Se propone una expresión para calcular el voltaje de drenaje en saturación de las características de salida de la celda y se comparan los valores calculados mediante la misma con los valores experimentales, obteniéndose una buena concordancia entre ambos, mejor que la obtenida con otra expresión publicada en la literatura. Estos resultados indican que la expresión propuesta en este trabajo puede emplearse como parte de un modelo para simular el comportamiento de la celda mediante computadora.

RECONOCIMIENTOS

Los autores desean dejar constancia de su agradecimiento al C.Dr. Melquiades de Dios Leyva y al C.Dr. Car-

los Trallero Giner, ambos de la Facultad de Física-Matemática de la Universidad de la Habana, por su discusión de algunos aspectos de este trabajo.

BIBLIOGRAFÍA

- 1.- Frohman-Bentchkowsky, D.,
Solid State Electronics, 17, 517-529, 1974.
- 2.- Iizuka, H et al.,
IEEE Transactions on Electron Devices, ED 23, 4,
379-387, abril 1976.
- 3.- Scheibe, A. Schulte, H.,
IEEE Trans. on Elect. Devices, ED 24, 5, 600-606,
mayo 1977.
- 4.- Verwey, J.F., Kramer, R.P.,
IEEE Trans. on Elect. Devices, ED-21, 10, 631-636,
octubre 1974.
- 5.- Barnes, J.J. et al.,
Solid State Electronics, 21, 521-529, 1978.
- 6.- Tarui, Y, Hayashi, Y.,
IEEE Jnal. of Sol. State Circ., SC - 7, 369-375,
octubre 1977.
- 7.- Estrada, M., Folgueras, J.,
Presentado en el Seminario Científico de la Facul-

tad de Física-Matemática, Universidad de
La Habana, Noviembre, 1981.

- 8.- Estrada, M., Folgueras, J.,
Primer Simposio de la Soc. Cub. de Física, Ciudad
de La Habana, 1980.
- 9.- Guterman, D., et al,
IEEE Trans. on Elect. Devices, ED-26, 4, 576-586,
abril 1979.
- 10.- Tuan Wang, S.,
IEEE Trans. on Elect. Devices, ED-26, 9, 1292-1294,
septiembre 1979.
- 11.- Ihantola, H.K.J., J.L.Moll,
Solid State Elect., 7, 423-430, 1964.
- 12.- Fukuma, M., Okuto, Y.,
IEEE Trans. on Elect. Devices, ED-27, 11, 2109, 2114,
noviembre 1980.

Recibido 12-81