

SIMULACIÓN POR COMPUTADORA DEL CIRCUITO DE LECTURA Y BUFFER DE SALIDA DE UNA MEMORIA EPROM.

J. Folgueras Méndez, M. Estrada del Cueto
ICID, INSAC

RESUMEN

Las memorias EPROM actuales, con capacidad de 8 kbit y mayores, son ejemplo de lo que se conoce como circuitos integrados de alto nivel de integración (LSI). Una vez establecida la tecnología de fabricación, es de particular importancia la simulación eléctrica de los circuitos que forman parte de la memoria, para conocer su comportamiento de forma aproximada antes de proceder a su fabricación.

En este trabajo se resumen los resultados obtenidos de la simulación mediante computadora de un circuito de lectura y salida de datos semejante al empleado en una memoria EPROM comercial con celdas de dos niveles de polisilicio.

Los valores obtenidos para los parámetros del circuito corresponden a los valores típicos reportados en los manuales.

ABSTRACT

Actual EPROM memories, with storing capacities of 8 kbit and more, are an example of what is known as large scale integration. (LSI) integrated circuits. Once the fabrication technology is established, it is a must to simulate the electrical and timing characteristics of the internal circuits that form part of the memory, in order to know their behavior before fabrication.

In this paper are presented the results of the computer simulation for a sense amplifier and output buffer, similar to those employed in an EPROM commercial memory with cells having two polysilicon levels. Obtained values for the circuit parameters are in correspondence with typical ones reported in the literature.

INTRODUCCIÓN

En las memorias semiconductoras reprogramables eléctricamente EPROM (Erasable Programmable Read Only Memory) se emplean en la actualidad, fundamentalmente, celdas de memoria con dos compuertas de silicio superpuestas^(1,2). Una vez programada la memoria sólo se realizan con la misma las operaciones de lectura e inhabilitación. Estas operaciones se llevan a cabo por circuitos periféricos internos, cuyo compor-

tamiento, al igual que el de las celdas de memoria, debe ser analizado y modelado antes de su fabricación.

En este trabajo se resumen los resultados obtenidos del análisis del comportamiento del circuito de lectura y buffer de salida, de una memoria EPROM de 8 kbit. El análisis se efectuó simulando el comportamiento del circuito mediante un programa general para la simulación de circuitos. A continuación se expone brevemente el principio de operación del circuito de lectura mencionado y se resumen los resultados obtenidos a partir de la simulación, concluyéndose que los valores obtenidos se pueden considerar satisfactorios.

Circuito de lectura y buffer de salida

En la memoria a que se refiere este trabajo la organización interna de la misma es tal que se almacenan 1024 palabras de 8 bit, por lo cual son necesarios ocho buffer de salida, cada uno con su correspondiente circuito de lectura. La memoria emplea la tecnología de compuerta de silicio con transistores MOS canal N, y celdas de memoria formadas por un transistor MOS con doble compuerta de polisilicio.

En la Fig. 1 se muestra el diagrama circuital del circuito de lectura y buffer de salida asociado a uno de los bit, donde se incluye además, de forma simplificada, una columna de la matriz de celdas de memoria. Cada columna está compuesta de 64 celdas, dos transistores de control y un transistor de acceso a la columna, gobernado éste último por las se

ñales provenientes del decodificador Y. En la figura sólo se ha representado una celda de memoria.

Los pulsos PCS1, PT1 y PT se generan internamente a partir de un pulso CS/WE (Chip Select/Write Enable) externo, empleando un circuito de selección que se ha descrito en otro trabajo⁽³⁾. Durante la operación de lectura CS/WE tiene un valor de 0 V y PT1 está en un nivel alto, mientras que PT y PCS1 están en el nivel bajo; cuando se inhabilita la memoria al llevar \overline{CS}/WE a + 5 V, tanto PT1 como PCS1 mantienen el estado correspondiente a la lectura, mientras que PT cambia al nivel alto, de forma tal que los transistores T30, T31 y T32 del buffer de salida conducen y la salida O_n queda flotante. Una característica importante del circuito, que influye en el funcionamiento de la memoria como un conjunto, es el tiempo que transcurre desde que \overline{CS}/WE inhabilita la entrada hasta que la salida flota, tiempo que se designa por t_{DF} (Deselect-Float). Es precisamente este tiempo el que determina cuándo se puede direccionar otra pastilla de memoria, en el caso en que varias de éstas estén formando parte de un banco de memoria en que las salidas están en paralelo para aumentar la capacidad de almacenaje. El tiempo de acceso, representado por t_{ACC} , es el tiempo que transcurre desde que se aplica el pulso de direccionado hasta que la información que se lee aparece en la salida O_n del buffer. En la Fig. 2 se han representado las formas de onda correspondientes a

los pulsos de direccionado, \overline{CS}/WE y al pulso de salida en O_n .

El circuito mostrado se ha descrito, de manera general, en un trabajo previo⁽⁴⁾, donde se detallan las características de su funcionamiento.

Con el fin de reducir los tiempos de respuesta del circuito se establecen determinados compromisos que se relacionan a continuación:

- a) el circuito de lectura siempre permanece conectado a los 16 transistores de acceso a las columnas correspondientes a un bit, puesto que T22 conduce, tanto para la operación de lectura como durante la de inhabilitación,
- b) para acelerar la respuesta del circuito de lectura durante la lectura de un "0" ó un "1" almacenados en las celdas de memoria, se trata de lograr que el nodo 15 varíe poco su voltaje para estos dos casos.
- c) se emplean cargas con efecto bootstrap en el buffer de salida, lo que permite acelerar la respuesta de los inversores y obtener mayores niveles de voltaje en régimen transitorio,
- d) el pulso en la salida O_n debe ser una reproducción de la información almacenada en la celda seleccionada y sus niveles de voltaje deben ser compatibles con los niveles TTL. Además, la salida debe ser capaz de alimentar capacidades del orden de los cientos de picofaradio, manteniendo los tiempos de operación dentro de límites razonables,

de ahí la utilización del inversor push-pull a la salida.

Simulación del circuito por computadora

Para simular el comportamiento del circuito es necesario suministrar a la máquina los valores de algunos parámetros que dependen de la tecnología y las dimensiones de los dispositivos. En otro trabajo⁽⁵⁾ se ha descrito el conjunto de procesos tecnológicos y sus características, necesarios para fabricar una memoria del tipo que se analiza en este trabajo planteándose la necesidad de emplear dos valores de voltaje de umbral V_{T0} según el transistor que se trate. Sin embargo, en el circuito que se simula todos los transistores tienen un valor de V_{T0} de 0,1 V, con excepción de T11 y T13 que tienen V_{T0} de 3,2 V por estar sobre una zona del sustrato implantado con boro y las celdas de memoria con V_{T0} diferente puesto que se construyen sobre el mismo sustrato anterior y tienen una doble compuerta de silicio, factores ambos que contribuyen a aumentar el voltaje de umbral. El transistor que forma la celda de memoria tiene un voltaje de umbral de 4,5 V sin programar, lo que corresponde a un "1" lógico almacenado en la celda, mientras que para el "0" lógico el valor de V_T se eleva a 16 V, mediante la inyección de electrones en la compuerta flotante.

Los valores de los parámetros tecnológicos empleados en la simulación son:

$$C_o = 2,76 \times 10^{-8} \text{ F/cm}^2 \text{ (capacidad por unidad de superficie}$$

del óxido de la compuerta)

$$x_o = 125 \text{ nm (espesor del óxido de la compuerta)}$$

$$\mu_n = 700 \text{ cm}^2/(\text{V.s}) \text{ (movilidad de los electrones en el canal de conducción)}$$

$$V_{T0} = 0,1 \text{ V (voltaje de umbral con fuente unida al sustrato)}$$

$$N_A = 2 \times 10^{15} \text{ cm}^{-3} \text{ (concentración de impurezas del sustrato sin implantar)}$$

$$N_{AI} = 4 \times 10^{16} \text{ cm}^{-3} \text{ (concentración de impurezas del sustrato implantado)}$$

En la tabla 1 se incluyen los valores de las relaciones de aspecto para cada transistor así como los valores del resto de los componentes del circuito. La carga en la salida Q_n se ha simulado por un condensador de 100 pF y una fuente de corriente de valor igual al de una compuerta TTL.

Un factor importante a considerar en la simulación, es la temperatura a que está sometido el circuito durante su funcionamiento, en condiciones de operación normales. Una memoria de 8 kbit puede consumir varios cientos de milivatios, a consecuencia de lo cual, la temperatura de las uniones de los transistores, puede alcanzar valores de hasta 130 C, para valores de la temperatura ambiente cercanos a los 70 C. Por éste motivo, en este trabajo se han escogido dos valores extremos de temperatura: 27 C y 100 C. Aún cuando puede ocurrir que, en la realidad, distintas zonas del dado de silicio sobre el que se fabrica la memoria, se encuentren a di-

ferentes temperaturas, se ha supuesto que el circuito analizado se encuentra a una temperatura uniforme. Esta es una aproximación razonable si se consideran los siguientes factores: el consumo de potencia mencionado anteriormente se debe prácticamente a los circuitos periféricos de la memoria, localizados en los bordes del dado. El circuito analizado en este trabajo ocupa un área pequeña del orden de $200 \times 200 \mu\text{m}^2$, y en él no existen transistores a los cuales se les pueda atribuir la mayor parte del consumo, tal como puede ocurrir en un circuito bipolar para aplicaciones lineales. Finalmente, el consumo de potencia del circuito simulado es del orden de 30 mW.

En el programa de simulación empleado, se han considerado las variaciones de los siguientes parámetros, al variar la temperatura: voltaje de umbral, potencial correspondiente al nivel de Fermi, corriente de saturación de la juntura, movilidad de los portadores y ancho de la banda prohibida del semiconductor. Además, se ha supuesto que la movilidad depende del voltaje V_{GS} aplicado entre compuerta y surtidor de un transistor, según la expresión

$$\mu = \frac{\mu_{no}}{1 + \theta [V_{GS} - V_T]}, \quad (1)$$

donde μ_{no} es el valor de movilidad correspondiente a pequeños valores de V_{GS} y θ es un parámetro experimental.

Con el fin de considerar el efecto parásito de las celdas y columnas no seleccionadas, se han incluido dos transistores equivalentes Te_1 y Te_2 que representan el efecto de las celdas y de los transistores de acceso a la columna respectivamente. Ambos tienen características tales que sólo influyen desde el punto de vista de los efectos capacitivos y de corrientes de fuga.

Finalmente, unas palabras acerca de la movilidad de los transistores fabricados sobre zonas implantadas del sustrato. Dada la alta concentración de impurezas empleada como dato para la simulación, es imprescindible considerar el efecto de este aumento sobre la movilidad, por lo que se ha tomado un valor de $400 \text{ cm}^2/(\text{V}\cdot\text{s})$ en estos casos, concordante con lo que se reporta en la literatura para la movilidad de volumen en el silicio⁽⁶⁾.

RESULTADOS

Los valores del voltaje en la salida O_n correspondientes a la lectura de un "1" fueron 4,4 V para una corriente de salida de $440 \mu\text{A}$ y de 2,6 V para una corriente de 2,6 mA. Este último caso representa una peor condición de operación y arrojó un valor de 80 ns para t_{CO} y de 50 ns para t_{DF} (ver figura 2).

Durante la conmutación el transistor inferior del buffer de salida conduce durante un tiempo del orden de 20 ns debido a un pico que aparece en el nodo 58 del circuito de la

figura 1. Esto no afecta si la salida O_n está en "0", pero pudiera constituir una dificultad si estuviera en un voltaje alto. Con este fin se simuló la condición de que O_n estuviera a diferentes valores de voltaje, obteniéndose en todos los casos un valor de t_{CO} inferior a 100 ns, incluso a temperaturas de 100°C. El valor de t_{DF} permaneció en el orden de los 50 ns para todos estos casos. Es interesante señalar que al comparar los resultados obtenidos para diferentes temperaturas entre sí, los valores de los tiempos aumentan en un 10% como máximo para la mayor temperatura considerada, mientras que los valores de voltaje a la salida del circuito disminuyen en un 5% como máximo.

A partir de la simulación del circuito de direccionado se obtuvo un valor mínimo de 230 ns para t_{ACC} . Todos estos valores, tanto de tiempo como de voltaje a la salida del circuito son semejantes a los reportados para una memoria comercial del tipo de la simulada en este trabajo.

CONCLUSIONES

La simulación por computadora del circuito de lectura y buffer de salida descrito en este trabajo, considerando los valores de los parámetros tecnológicos y relaciones de aspecto de los transistores citados en el mismo, arroja, que tanto los valores de los tiempos de operación como del nivel de voltaje a la salida correspondientes al "1" lógico, permiten que la memoria opere en su conjunto con características seme-

jantes a las reportadas para memorias comerciales, para variaciones de la temperatura de la unión de 27°C a 100°C.

BIBLIOGRAFÍA

1. Müller, R.G. y otros, :
"IEEE Journal of Solid State Circuits", SC-12, 5, 507-514, octubre. 1977.
2. Barnes, J.J. y otros. :
"Solid State Electronics, 21, 521-529. 1978.
3. Folgueras, J. y M. Estrada. :
Segunda Conferencia Científica ISPJAE, Resúmenes pág. 78, Ref. 150. 1979
4. Estrada, M.; J. Folgueras. :
Segunda Conferencia Científica ISPJAE, Resúmenes pág. 79, Ref. 150. 1979.
5. Estrada, M.; J. Folgueras. :
Revista Cubana de Física, Vol. 1, No. 2 pp. 109-122, 1981.
6. Grove, A.S. :
"Physics and Technology of Semiconductor Devices", John Wiley and Sons. 1967.

Recibido: 20-11-82

TABLA 1. Valores de los componentes y relaciones de aspecto de los transistores del circuito mostrado en la Fig. 1.

Dispositivo	W/L	Dispositivo	W/L
T11	0,6	T64	5,6
T12	0,15	T65	5,0
T13	12,6	T66	0,13
T15	6,0	T67	14,7
T16	2,3	T69	0,75
T22	5,1	T70	1,2
T30	15,0	T71	0,16
T31	7,2	T72	58,5
T32	1,2	T73	38,0
T59	2,4	T _{e1}	145,0
T60	0,9	T _{e2}	90,0
T61	0,5		
C11	0,31 pF	R1	506 Ohm
C19	1,0 pF	R2	2700 Ohm

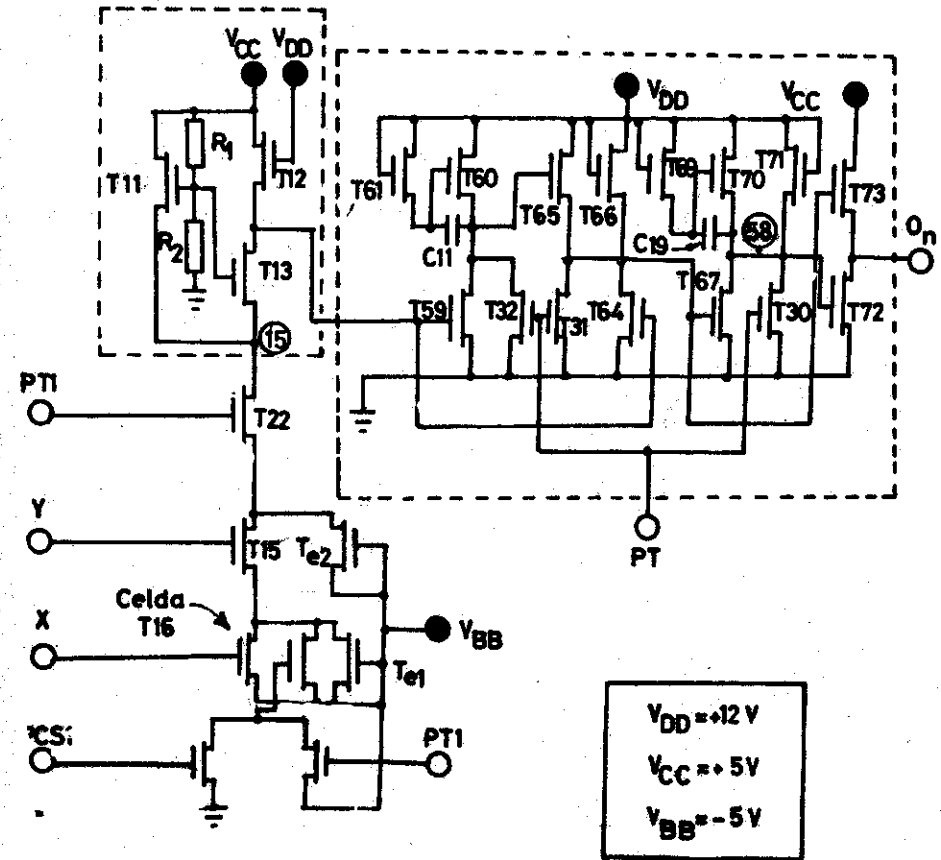


Fig. 1 Circuito de lectura y buffer de salida correspondiente a un bit. En el diagrama se han omitido las conexiones de los substratos de los transistores, conectados en todos los casos a V_{BB} .

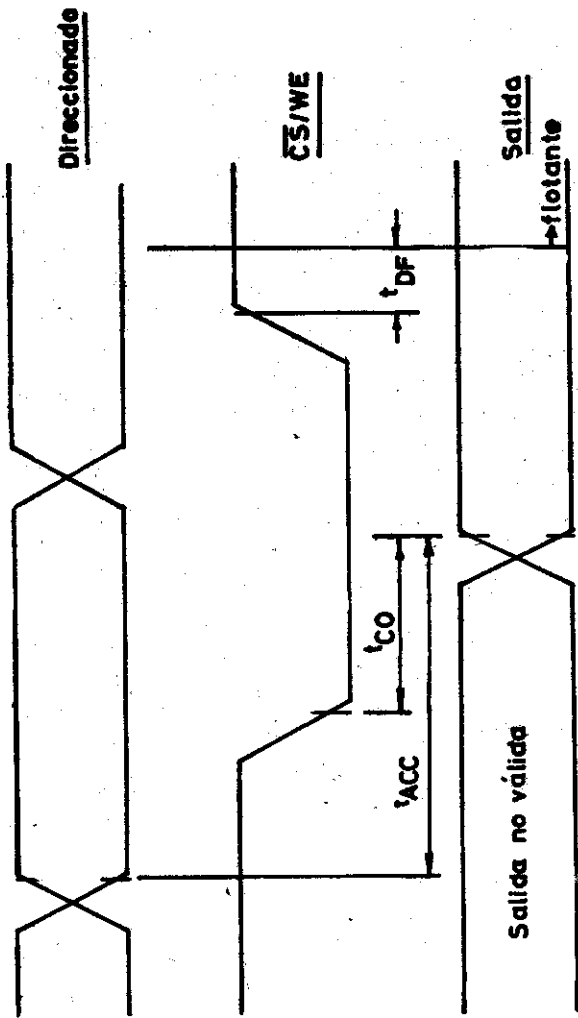


Fig. 2. Diagrama de tiempo de los pulsos de direccionado, selección y salida.