

# Amplificador de sensado para memorias EPROM con transistores de enriquecimiento empobrecimiento (E/D)

Magali Estrada del Cueto ICID. José Folgueras Méndez, ICID

## RESUMEN

---

El circuito interno de una pastilla de memoria debe contener un bloque que permita determinar si el estado de la celda es un cero o un uno. Las características de este bloque dependen también del principio de funcionamiento de la celda de memoria en cuestión.

En el presente trabajo se describe el principio de funcionamiento y las características eléctricas fundamentales de un amplificador de sensado que utiliza transistores de enriquecimiento-empobrecimiento y que puede ser utilizado para leer celdas de memoria del tipo EPROM

El circuito se alimenta de una sola fuente de voltaje de 5V, no requiere polarización de substrato y permite compensar variaciones en el valor del voltaje de umbral de las celdas de una a otra lámina que se producen durante el procesamiento tecnológico.

## ABSTRACT

---

A memory chip must contain a block which permits to determine if the cell state is zero or one. The characteristics of this block depend on the working principle of the memory cell involved.

This article describe the working principle and the basic electrical characteristics of an EPROM memory amplifier using enhacement-depletion transistors.

The circuit employs only one voltage supply of 5V. It does no require substrate bias and is capable of compensating for threshold voltage variations of the cells from one wafer to another due to the technological processing.

El proceso de lectura de una celda EPROM implica detectar el paso o no de corriente a través del transistor con compuerta flotante que forma la celda; en la figura 1 se representa esquemáticamente un circuito de lectura.

Si durante el proceso de lectura ocurre variación de voltaje en el nodo 3, tendrá lugar la carga o descarga del condensador C, que representa una capacidad del orden de los picofaradios, lo que influirá en el tiempo de lectura de la celda. Por este motivo se busca, que el voltaje en este nodo varíe lo menos posible, debiendo por lo tanto el amplificador de sensado, detectar y amplificar una pequeña variación de corriente dada por los dos estados de la celda.

El circuito que se analiza en el trabajo, se muestra en la figura 2. El mismo utiliza una sola fuente de alimentación de 5V y no requiere de polarización de substrato. Las principales características de los transistores que lo componen son las siguientes:

- 1) Los transistores T-13, T-16, T-19 y T-23, son de empobrecimiento y actúan como cargas.
- 2) Los transistores T-12, T-15 y T-22 son de enriquecimiento con voltaje umbral de 1,2V. TC corresponde a la estructura de la celda de memoria.
- 3) Los transistores T-14, T-17 y T-18 son de enriquecimiento con voltaje de umbral de 0,65V.
- 4) El conjunto de transistores T-12 a T-17, ambos inclusive, permite el ajuste del valor de voltaje en el nodo 3 ( $V_3$ ).
- 5) El transistor T-18 permite que la variación de corriente que tiene lugar al pasar TC de conducción a no conducción produzca una variación en la caída de voltaje a través de él, variando el potencial del nodo 5 entre  $V_{CC}$  y un valor cercano al potencial en el nodo 3.

## PRINCIPIO DE FUNCIONAMIENTO

Es conocido que un circuito como el que se muestra en la figura 3 permite fijar el voltaje en el nodo 3 en dos valores: uno para el caso en que la estructura TC no conduce, que será igual a  $V_3^0 = V_4^0 - V_T'(V_3)$  y otro correspondiente al caso en que TC conduce, que se fija por la intercepción de la curva  $V_3$  vs  $V_4$  para el inversor T17/TC con el valor de  $V_4^0$ , figura 4. En este caso, el valor de  $\Delta V_3 = V_3^0 - V_3'$ , es fijo y dependiente de la relación entre los valores de las resistencias  $R_1$  y  $R_2$  y de la relación entre las relaciones de aspecto de los transistores T-17 y TC.

Es importante que el valor de  $V_4^0 - V_3'$  debe ser mayor que  $V_T' + 0,5$  para que la caída de voltaje a través de T-18 sea pequeña, por lo que generalmente  $\Delta V_3$  es mayor de 0,5V. En un trabajo anterior (1) se ha descrito un circuito semejante que emplea tres fuentes de alimentación.

Una modificación ventajosa a este circuito se introduce con la sustitución de  $R_1$  y  $R_2$  por un inversor de empobrecimiento-enriquecimiento (E/D) según se muestra en la figura 5. En este caso, los valores de voltaje en los nodos 4 y 3 para estados de conducción y no conducción se pueden observar en la figura 6, donde se han dibujado las curvas transferenciales de los inversores T16/T15 y T17/TC para dos valores de  $K_{rel}$ , donde  $K_{rel}$  es la relación entre las relaciones de aspecto de los transistores de cada "driver" y su carga.

En la figura 6a se observa que utilizar una  $K_{rel}$  grande para la pareja T15/T16 por ejemplo del orden de 10, permite que la variación del voltaje en el nodo 3 entre los puntos A y B<sub>1</sub>, sea pequeña, dada la caída rápida de la curva transferencial en esta zona.

Por otro lado, mientras mayor es T17 con respecto a TC, o sea, menor es la  $K_{rel}$  entre ellos, más cercana estará la curva que describe la relación entre los voltajes  $V_4$  y  $V_3$  para este inversor, (curvas 2 y 3 figura 6a) a la curva 1 de la misma figura y menor será la variación del voltaje en el nodo 3 entre los estados de conducción y no conducción de la celda, pudiendo obtenerse valores de  $\Delta V_3 < 0,1V$ .

Sin embargo, existe una limitación a las posibilidades de disminuir  $\Delta V_3$ , dado que hay que mantener la condición ya vista de que el voltaje entre compuerta y fuente del transistor T-18 debe ser mayor que 0,5V por encima del voltaje de umbral. Con este circuito puede disminuirse algo de valor de  $\Delta V_3$ , ya que al conducir TC baja  $V_3$  y sube  $V_4$ , pero no puede reducirse lo suficiente la  $K_{rel}$  de la pareja T17/TC como para obtener  $\Delta V_3 < 0,3V$ .

Una solución a esta dificultad se logra introduciendo el grupo de transistores T-13, T-12 y T-14 según se muestra en la figura 2, [2], donde el transistor T-14 se hace bastante mayor que T-17, de manera que la curva transferencial correspondiente a T14/TC (curva 2 figura 6a) este cerca de la curva correspondiente a  $V_4^0 = V_3^0 + V_T'(V_3)$  (curva 1 figura 6a).

Los transistores T-13 y T-12 (curva 4 figura 6a) se escogen de manera que su  $K_{rel}$  sea ligeramente mayor que la correspondiente a T16/T15 (curva 5 figura 6a). El análisis gráfico se muestra en la figura 6a.

Los cuatro puntos de corte en el gráfico son A, B, C y D. El punto A se alcanza, como ya vimos cuando TC no conduce. El punto D no se puede alcanzar, pues si  $V_3$  baja para llegar a él,  $V_4$  también baja y hace que  $V_3$  vuelva a subir. De los puntos B y C se alcanzará el que tenga  $V_3$  mayor (punto B en el gráfico de la figura 6a y punto C en la figura 6b).

Los parámetros de los transistores se ajustan de manera que: 1) el valor de  $V_3$  para el punto B, ( $V_{3B}$ ), esté cercano al valor de  $V_3$  para el pun

to A, ( $V_{3A}$ ), de manera que  $\Delta V_3 = V_{3A} - V_{3B} < 0,1V$ . 2) Cuando TC conduce el punto B fija el valor de  $V_2$  para el inversor formado por T12/T13, pero el valor del nodo 4,  $V_4$ , asociado a T16/T15 será el correspondiente a la intercepción de  $V_3 = V_{3B}$  con la transferencial (curva 5) del inversor (punto B\*), con lo cual se alcanza un valor de  $V_{4B*} - V_{3B}$  mayor sin necesidad de incrementar el  $\Delta V_3$ .

En la figura 7 se muestran las variaciones de voltaje en los nodos 7 y 3 para el circuito de la figura 2, con diferentes parámetros en los transistores. La curva 1 muestra el ejemplo de un circuito con los parámetros correctamente escogidos y que funciona según lo planteado en la figura 6a. La curva 2 muestra los voltajes en los nodos de un circuito donde se escogieron mal los parámetros y el punto C es el que se alcanza. (Figura 6b). En este caso el circuito no utiliza la ventaja de que el proceso de carga se realice a través de T-14 que es mayor que T-17, y aunque se logra un  $\Delta V_3 \approx 0,18$ , el nodo 7 presenta una demora de 10 ns con respecto al caso anterior cuando TC pasa de conducción a no conducción. El motivo por el cual T-14 no disminuya el tiempo de carga es que al fijarse el valor de  $V_{3C}$ , el valor de  $V_{2C*}$  es tal que  $V_{2C*} - V_{3C} < V_T'(V_{2C*})$  y T-14 está siempre sin conducir.

Lo señalado hasta ahora es válido para cualquier valor de voltaje de umbral de los transistores, sólo que las curvas se desplazarán y el análisis debe realizarse para cada caso en concreto. Sin embargo, por las características de la secuencia tecnológica, el valor del voltaje de umbral de TC, que es del orden de 1,2V puede variar de lámina a lámina, pues posteriormente al ajuste de implantación hay procesos térmicos de alta temperatura durante tiempos largos. Por este motivo resulta conveniente que el circuito permita disminuir las variaciones que puedan producirse en  $\Delta V_3$  y en los tiempos de carga y descarga debido a variaciones en el voltaje umbral de TC. Esto se logra haciendo que T-12, T-15 y T-22 usen la misma implantación para ajuste de  $V_T$  o que la celda.

## COMPENSACIÓN PARA VARIACIONES DE $V_{T0}$

Si la celda TC varía su voltaje umbral y, por ejemplo, este se incrementa, las curvas correspondientes a T17/TC se acercan más a  $V_3 = V_4 - V_T'$ , pues hay un efecto similar a disminuir la  $K_{rel}$ . El nuevo punto de intercepción de las dos curvas, que dan el nuevo punto de equilibrio será B' en la figura 8. Para este punto,  $V_3(B') > V_3(B)$ ;  $V_2(B') < V_2(B)$  y  $V_4(B'*) < V_4(B*) - V_3(B)$ , por lo que:

$$V_4(B'*) - V_3(B') < V_4(B*) - V_3(B)$$

y el voltaje en el nodo 5 puede subir demasiado. Para evitar esto se hace

que los "drivers" T-12 y T-15 usen la misma implantación para  $V_{T0}$  que la celda, por lo que incrementan  $V_{T0}$  de igual forma que esta. Los nuevos puntos de intercepción  $B''$  y  $B''^*$  tendrán:

$$\begin{aligned} V_3(B'') &> V_3(B) \\ V_2(B'') &> V_2(B) \quad \text{y} \\ V_4(B''^*) &> V_4(B^*) \end{aligned}$$

por lo que puede mantenerse:

$$V_4(B''^*) - V_3(B'') \approx V_4(B^*) - V_3(B)$$

y el voltaje en el nodo 5,  $V_5(B'')$  tendrá un valor cercano a  $V_3(B'')$ . Debe señalarse que el valor de  $V_3(B'')$  sube en comparación con  $V_3(B)$  pero por este motivo se hace que T-22 tenga también el mismo  $V_{T0}$  que los transistores anteriores. Entónces  $V_3(B'') - V_3(B)$  será igual o menor que  $\Delta V_{T0}$  y  $V_5(B'') - V_5(B) < \Delta V_{T0}$ ; y  $V_5(B'') - V_{T0}$  seguirá siendo suficiente para que  $V_7$  alcance el uno lógico a pesar de las variaciones sufridas por  $V_{T0}$ .

Debe señalarse que con el incremento de  $V_{T0}$ , el  $V_3''$  se hace incluso menor, pues el nuevo punto A, también se desplazó y la curva que intercepta en  $B''$  está más cercana de  $V_3 = V_4 - V_T'$ . De esta forma se logra que el incremento que podía ocurrir en el tiempo de descarga por la disminución de la conductancia en la celda, se compense con la variación de  $\Delta V_3(B'')$  con respecto a  $\Delta V_3$ .

Si  $V_{T0}$  disminuye, se producirá un efecto de compensación que puede interpretarse gráficamente de forma semejante a la explicada anteriormente.

## CONCLUSIONES

Se ha analizado el principio de funcionamiento de un amplificador de sensado que permite leer celdas de memoria EPROM que utiliza transistores E/D y una sola fuente de voltaje. El circuito permite obtener pequeñas variaciones de voltaje en el drenaje de las celdas, con lo que se logra disminuir los tiempos de lectura y compensa posibles variaciones de voltaje de umbral de la celda con un mínimo de variaciones en los parámetros de lectura.

## BIBLIOGRAFÍA

1. Estrada, M. y José Folgueras  
Revista CID, No. 2, 1981.
2. U.S. Patent 4.094,012.

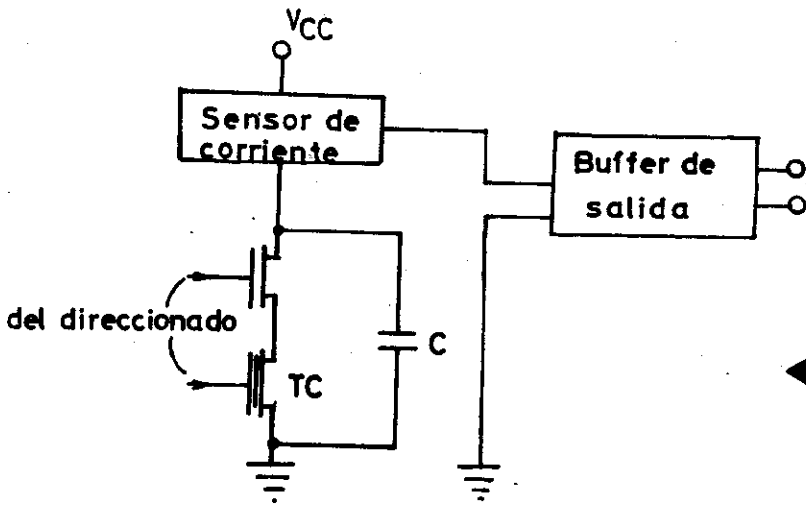


Figura 1.  
Circuito en bloques de la celda de memoria y el sensor.

Figura 2.  
Amplificador de sensado descrito en este trabajo.

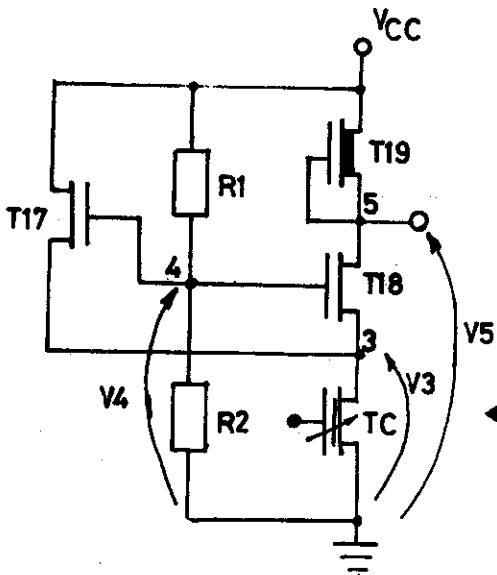
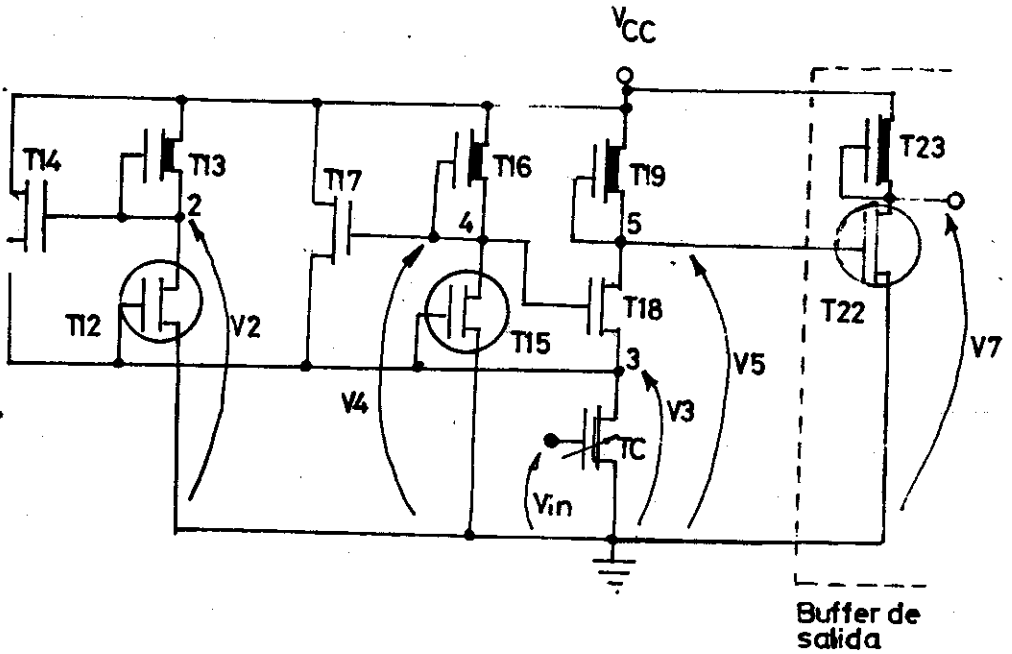


Figura 3.  
Amplificador de sensado empleando resistencias para producir un voltaje de referencia.

Figura 4.  
Variaciones del voltaje en el nodo 3 para variaciones correspondientes en el nodo 4.

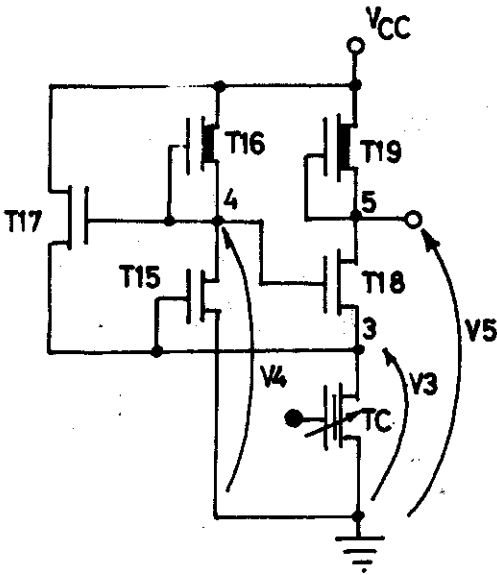
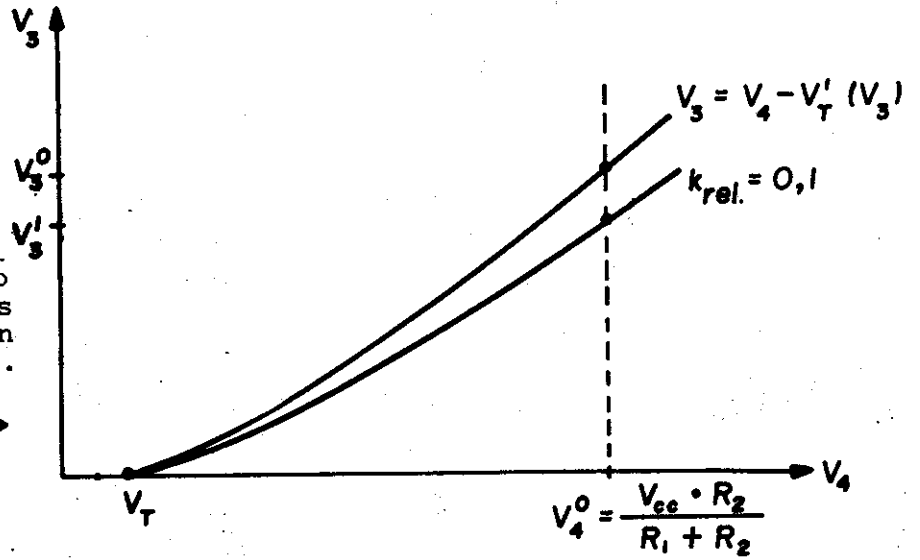


Figura 5.  
Amplificador de sentido semejante al de la figura 3, mejorado.

Figuras 6a, 6b.  
Características transferenciales.

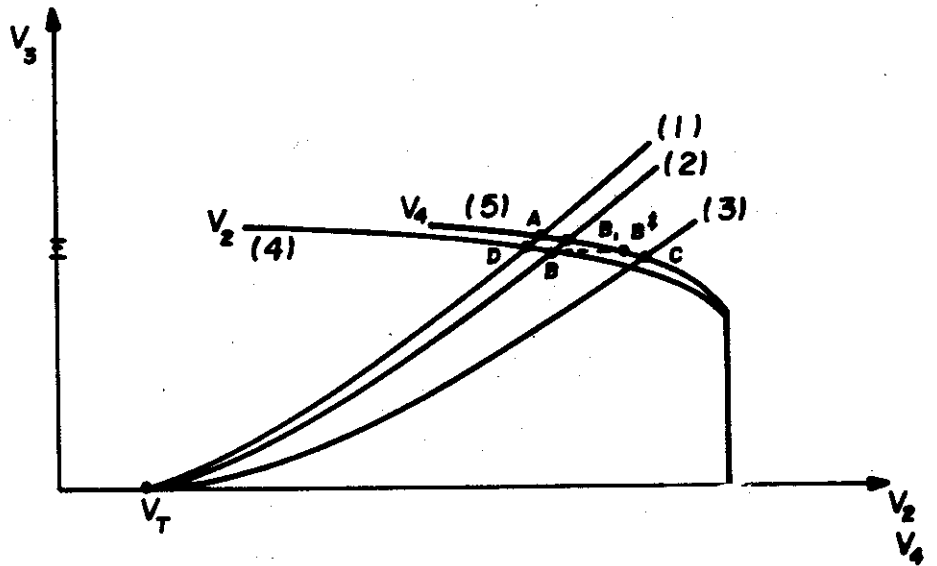


Figura 6a, 6b.  
Características  
transferenciales.

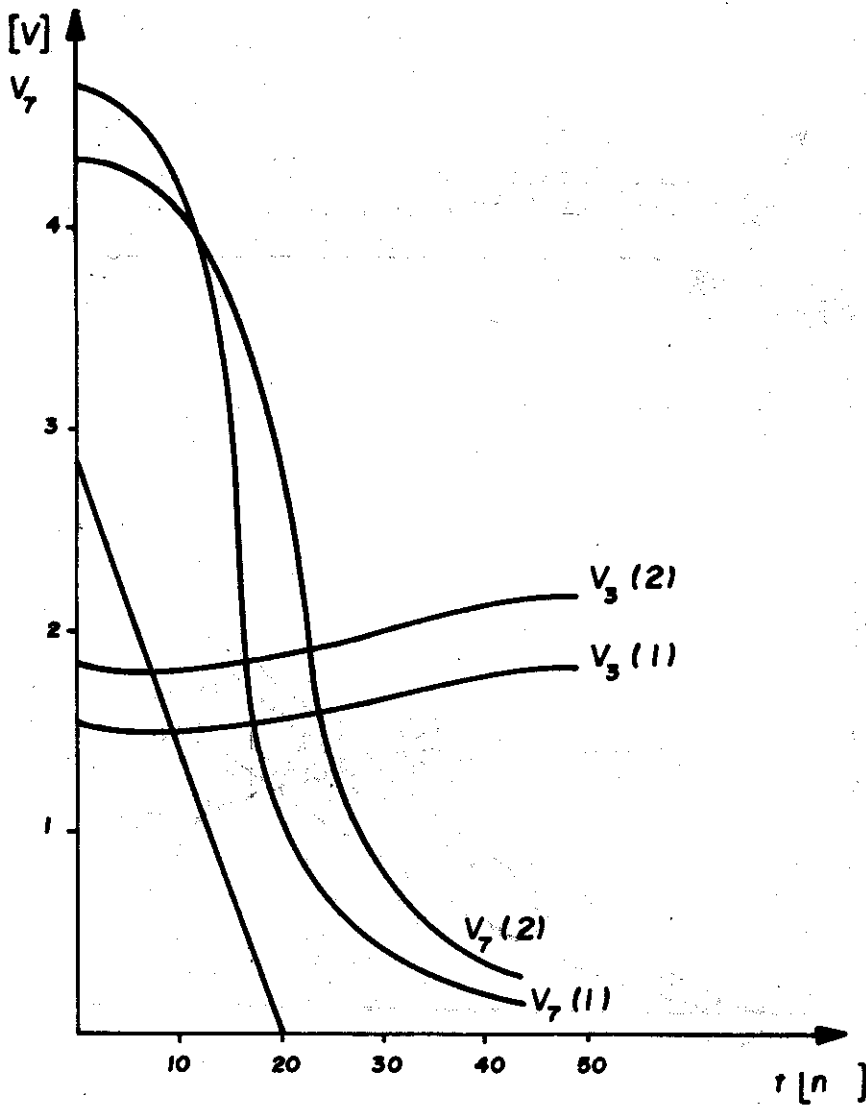
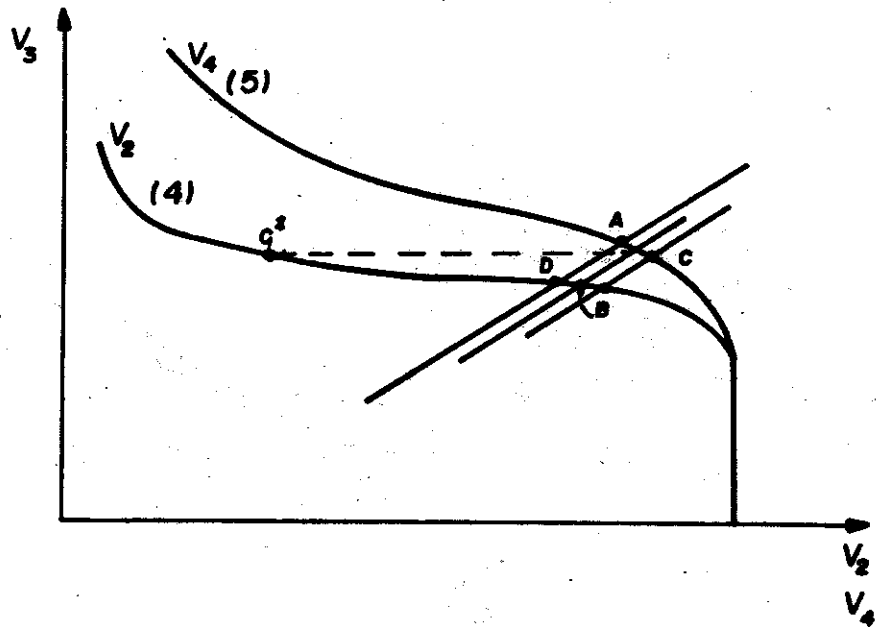
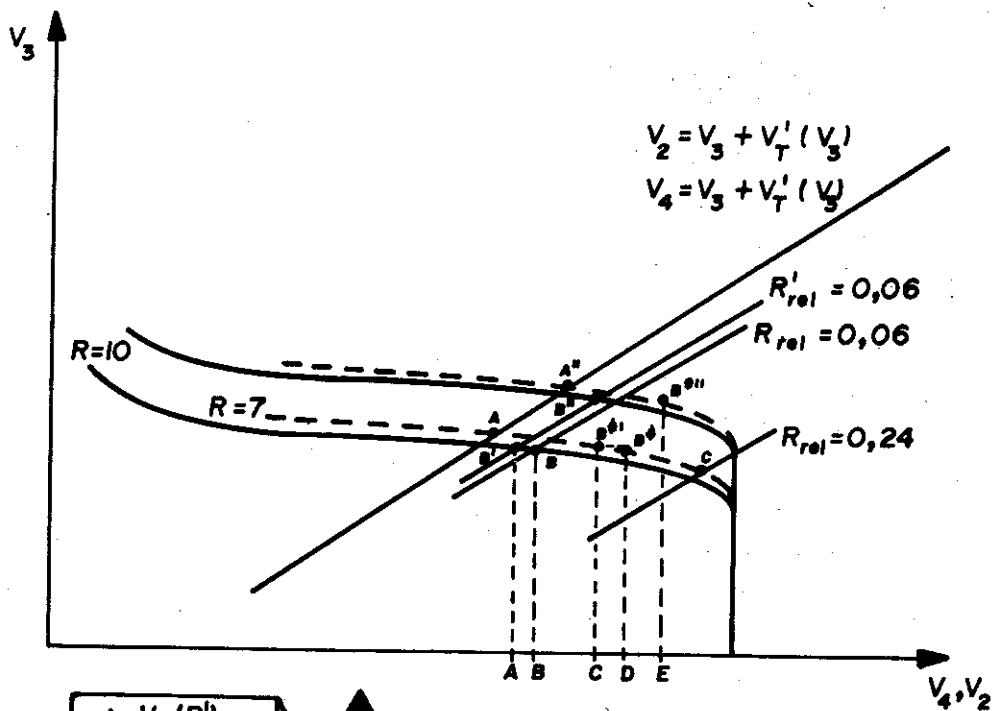


Figura 7.  
Voltaje en el nodo  
7 como función del  
tiempo.





- |                    |
|--------------------|
| A - $V_2(B')$      |
| B - $V_2(B)$       |
| C - $V_4(B^{*'})$  |
| D - $V_4(B^*)$     |
| E - $V_4(B^{*''})$ |

▲  
 Figura 8.  
 Voltaje en el nodo 3 incluyendo  
 el efecto de compensación de  $V_{T0}$