

Concepción del chip de pruebas eléctricas para una memoria EPROM de 16 Kbit.

Juan Enrique Suen Díaz y José Folgueras Méndez
Instituto Central de Investigación Digital -ICID-

RESUMEN

Una de las etapas en el desarrollo de un circuito integrado complejo es el diseño de los elementos de prueba que se emplearán antes, y durante la fabricación de este circuito.

En este trabajo se presentan los criterios empleados para el diseño de un chip de pruebas eléctricas asociado a una memoria EPROM de 16 Kbit. El chip, que ocupa un área menor de 4 mm^2 , está formado por 253 transistores MOS correspondientes a una memoria EPROM de 16 bit y varios transistores de prueba.

ABSTRACT

One of the stages during the development of complex integrated circuits is the design of the test devices to be employed before and during circuit fabrication.

In this paper the criteria used for the design of an electrical test chip associated to a 16-Kbit EPROM memory are presented. The chip, with a silicon área less than 4 mm^2 comprises 253 MOS transistors, forming a 16-bit EPROM memory with its internal peripheral circuits and several test transistors.

INTRODUCCIÓN

Con la aparición de los circuitos con alto y muy alto nivel de integración, conocidos como LSI y VLSI respectivamente, aparecen varios problemas interrelacionados en el campo de las pruebas. Por un lado, existen en un mismo dado (chip) de silicio elementos activos y elementos pasivos, los cuales se necesitan caracterizar para poder influir, mediante los cambios tecnológicos o topológicos adecuados, sobre las características del circuito integrado como tal. Por otro lado, la complejidad de los procesos tecnológicos de fabricación hace que sea necesario controlar cada uno de ellos mediante elementos de prueba distribuidos en la oblea con circuitos o en obleas testigo /1/, de forma tal que el producto final, en este caso el circuito integrado, tenga los parámetros calculados /2/.

Finalmente, la necesidad de probar las características funcionales del circuito o sistema, hace necesario el empleo de equipamiento especial /3/, una filosofía de trabajo diferente durante la etapa de diseño /4/, así como la evaluación y control continuos de los procesos tecnológicos /5/.

A continuación se presenta un chip de pruebas eléctricas destinado a mediciones paramétricas y funcionales relacionadas con la fabricación de una memoria EPROM de 16 Kbit de capacidad /6/, construida con tecnología MOS canal N con doble nivel de polisilicio.

CRITERIOS DE DISEÑO

Un chip de pruebas, eléctrico para ser usado en relación con una memoria en desarrollo debe permitir las siguientes mediciones:

- Comprobación del funcionamiento de los bloques de direccionado y de codificación de direcciones.
- Comprobación de los bloques de entrada/salida de datos, y de los circuitos generadores de pulsos internos.
- Verificación de los distintos modos de operación.

CONCEPCIÓN DEL CHIP

Considerando lo anterior, se diseñó un chip de pruebas eléctrico asociado a una memoria UVEPROM, similar a la 2716, para emplearlo en una etapa previa a la fabricación de esta última.

Para ello se siguió el criterio de:

- Elaborar un chip con los bloques o subcircuitos interconectados entre sí, formando un conjunto que permita evaluar su funcionamiento en condiciones de interconexión.

De esta forma, es posible probar todos los subcircuitos diferentes que se desee, si estos se combinan en una configuración circuital o semejante a la que se desea fabricar.

Además se añadieron elementos discretos (transistores), considerando que el resto de los elementos de prueba necesarios, ya existen en el chip de pruebas tecnológico; por lo que sólo resta probar las características eléctricas del circuito.

La filosofía adoptada reporta las siguientes ventajas:

1. Es posible verificar la presencia o no de los pulsos en las salidas de los bloques periféricos internos y determinar sus características, mediante pequeños transistores de muestreo colocados en un punto de cada bloque o subcircuito a medir.
2. Permite verificar el funcionamiento integral del circuito en su conjunto, realizando una función compleja específica y aportando criterios sobre el comportamiento futuro del circuito principal.
3. Los transistores independientes colocados en el chip permiten la medición rápida de los parámetros de interés.
4. Es posible medir los tiempos de acceso y retardo que, aunque no serían los correspondientes al circuito complejo por utilizarse líneas de interconexión mucho más cortas que en este último, permiten avalar los futuros resultados.

El chip contiene en su conjunto, una memoria UVEPROM pequeña y diferentes transistores de prueba.

La memoria está compuesta de una matriz de 4 x 4 celdas, que permite, gracias a la organización mínima de esta última, las siguientes posibilidades:

- a) Comprobar el funcionamiento de todos los tipos de subcircuitos periféricos diferentes que se emplean en el circuito principal, consumiendo un área pequeña de silicio, lo cual no sería posible en el caso de usar una matriz de mayor complejidad.
- b) Medir los tres circuitos de direccionado diferentes que hay en la memoria y los decodificadores X e Y.

Esta matriz es directamente accesible por cuatro circuitos de direccionado y los correspondientes decodificadores de bit y de palabra. Un circuito de entrada/salidas de datos permite la programación o lectura de las celdas seleccionadas, mientras que los distintos modos de operación se seleccionan mediante los pulsos externos \overline{OE} y \overline{CE} , que generan los pulsos internos, y el valor del voltaje aplicado al terminal v_{pp} .

Concretamente, se han incluido puntos de muestreo que permiten monitorear las señales empleando un osciloscopio y circuitos seguidores de fuente incluidos en el chip. Las señales que se muestran son las correspondientes a las salidas A_n y \overline{A}_n de los circuitos de direccionado A_0 , A_1 y A_2 , así como los pulsos de control internos ϕ_1 , ϕ_2 , ϕ_3 , ϕ_5 , ϕ_6 , ϕ_7 y ϕ_8 , tal como se señala en las figuras 1 y 2.

Estos circuitos están formados por un transistor MOS de canal construido con una relación de aspecto de 4 en la máscara. Las dimensiones del transistor garantizan una pequeña carga capacitiva en las líneas que se muestrean, de sólo 41 fF; por lo que su efecto puede considerarse despreciable.

En la figura 1 se muestra el diagrama eléctrico de la memoria, en el cual se han representado cada circuito periférico por un bloque.

DISEÑO TOPOLÓGICO

Para el diseño topológico, se emplearon las mismas reglas de diseño utilizadas en el desarrollo de la memoria con organización de 2K x 8 bit /6/, caracterizadas por líneas de aluminio de 8 μm con período de 15 μm y líneas de polisilicio de 6 μm con período de 12 μm . Los distintos bloques representados en la figura 1 tienen una topología idéntica a sus correspondientes en la memoria.

Las dimensiones del chip de pruebas eléctrico son de 1,94 mm x 1,96 mm, con un total de 43 áreas de soldadura; de ellas, 21 correspondientes a la memoria de 4 x 4. En conjunto, está formado por 263 transistores mencionados anteriormente.

En la figura 2 se muestra el diagrama topológico del chip de prueba, donde se han dibujado sólo las capas correspondientes a la oxidación localizada (LOCOS), polisilicio 2, ventanas de contactos e interconexiones de aluminio. Los circuitos de muestreo de la señales se corresponden con las áreas de soldadura pequeñas distribuidas en la parte media inferior del chip.

MEDICIONES RECOMENDADAS

Un aspecto importante a considerar en relación con un chip de pruebas es la serie de mediciones a que va a ser sometido.

Las mediciones dinámicas y de C.D. son convencionales y se corresponden con las señales para cualquier memoria análoga.

Con las MEDICIONES FUNCIONALES, se persigue determinar si la memoria funciona en todos los modos de operación, los cuales se subdividen en:

- Modo de lectura. Verificación de la memoria sin programar.
- Modo de verificación de Programación.
- Modo de Programación.
- Modo de Inhibición de la Programación.
- Modo de disminución de Potencia.
- Borrado.
- Modo de Deselección.

Cada uno de estos modos se pueden verificar de la misma manera que se realiza en una memoria EPROM 2716.

Estas operaciones cubren las posibilidades de trabajo de la memoria y

pueden dar la posibilidad de comparar los tiempos de operación característicos con los que tendría la memoria original.

CONCLUSIONES

Se han presentado los criterios utilizados en el diseño de un chip de pruebas para ser utilizado en relación con una memoria EPROM de 16 Kbit.

Se concluye que el chip es útil para la determinación de los parámetros eléctricos que lo caracterizan, aportando datos que ayudan en el pronóstico de las características de la memoria análoga a la 2716 en una etapa previa a su fabricación. Mediante el mismo es posible determinar las características paramétricas de los transistores empleados, verificar el funcionamiento de los bloques independientes, comprobar todos los modos de operación y determinar sus parámetros dinámicos.

BIBLIOGRAFÍA

1. Buehler, M., L.W.Linholm
"Role of Test Chips in Coordinating Logic and Circuit Design and Layout Aids for VLSI", Solid State Technology, 24, 9, Setiembre 191, pp. 68-74.
2. Hutcheson, G.D.
"Testing: After the Recession", Semiconductor International, 6, 1, Enero 83, pp 82 - 94.
3. Healy, J.
"A VLSI-ATE Selection Matrix", Solid State Technology, 25, 11, Noviembre 82, pp 81 - 88.
4. Stahlberg, N.F.
"The role of testing in VLS/VHS Integrated Circuit Development", Solid State Technology, 25, 11, Noviembre 82, pp 89 - 95.
5. Fink, R.C.; W.J.Giles
"Process Monitoring and Evaluation", Solid State Technology, 25, 11, Noviembre 82, pp 107 - 111.
6. Folgueras, J.; M.Estrada
"Diseño de una Memoria EPROM de 16 Kbit", IV Conf. Cientif. de Ing. y Arq., La Habana, 28 - 30 Noviembre, 1984.